

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332256

(P 2 0 0 0 - 3 3 2 2 5 6 A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 29/786		H01L 29/78	612 B
G02F 1/1368		G09F 9/30	338
G09F 9/30	338	H01L 21/20	
H01L 21/20		H04N 5/66	102 A
21/336		G02F 1/136	500
審査請求 未請求 請求項の数28 O L (全47頁) 最終頁に続く			

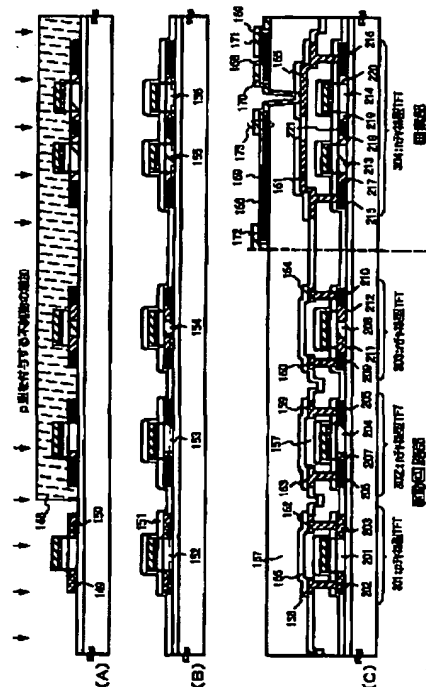
(21) 出願番号	特願2000-66044 (P 2000-66044)	(71) 出願人	000153878 株式会社半導体エネルギー研究所
(22) 出願日	平成12年3月10日 (2000. 3. 10)		神奈川県厚木市長谷398番地
(31) 優先権主張番号	特願平11-65737	(72) 発明者	山崎 舜平
(32) 優先日	平成11年3月12日 (1999. 3. 12)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)	(72) 発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	北角 英人
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 動作性能および信頼性の高い半導体装置およびその作製方法を提供する。

【解決手段】 駆動回路部を形成するnチャネル型TFT 302にはLov領域207が配置され、ホットキャリア注入による劣化に強いTFT構造が実現される。また、画素部を形成するnチャネル型TFT 304にはLov領域217～220が配置され、低オフ電流値のTFT構造が実現される。この時、Lov領域にはLov領域よりも高い濃度でn型不純物元素が存在し、Lov領域となるn型不純物領域 (b) は全体が光アニールによって十分に活性化されているため、チャネル形成領域との間に良好な接合部を形成する。



【特許請求の範囲】

【請求項1】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加してp型不純物領域(b)を形成する第3工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第4工程と、

前記第4工程まで終了した結晶構造を含む半導体膜に対して第2の光アニールを行う第5工程と、

前記第5工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第6工程と、

前記活性層の上にゲート絶縁膜を形成する第7工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、

前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、を有することを特徴とする半導体装置の作製方法。

【請求項2】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第3工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第4工程と、

前記第4工程まで終了した結晶構造を含む半導体膜に対して第2の光アニールを行う第5工程と、

前記第5工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第6工程と、

前記活性層の上にゲート絶縁膜を形成する第7工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物

元素を添加し、n型不純物領域(c)を形成する第9工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、

前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、を有することを特徴とする半導体装置の作製方法。

10 【請求項3】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、

前記第2工程の後、結晶構造を含む半導体膜をパターンニングして活性層を形成する第3工程と、

前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第4工程と、

20 前記駆動回路を形成するnチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(b)を形成する第5工程と、

前記第5工程まで終了した活性層に対して第2の光アニールを行う第6工程と、

前記第6工程まで終了した活性層の上にゲート絶縁膜を形成する第7工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

30 前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、

前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、を有することを特徴とする半導体装置の作製方法。

40 【請求項4】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、

前記第2工程の後、結晶構造を含む半導体膜をパターンニングして活性層を形成する第3工程と、

前記駆動回路を形成するnチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(b)を形成する第4工程と、

前記駆動回路を形成する n チャネル型 T F T の活性層に n 型不純物元素を添加し、n 型不純物領域 (b) を形成する第 5 工程と、

前記第 5 工程まで終了した活性層に対して第 2 の光アニールを行う第 6 工程と、

前記第 6 工程まで終了した活性層の上にゲート絶縁膜を形成する第 7 工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第 8 工程と、

前記活性層に前記ゲート配線をマスクとして n 型不純物元素を添加し、n 型不純物領域 (c) を形成する第 9 工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第 10 工程と、

前記 n チャネル型 T F T の活性層に n 型不純物元素を添加し、n 型不純物領域 (a) を形成する第 11 工程と、

前記 p チャネル型 T F T の活性層に p 型不純物元素を添加し、p 型不純物領域 (a) を形成する第 12 工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 5】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第 1 工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加し、p 型不純物領域 (b) を形成する第 2 工程と、

前記 p 型不純物領域 (b) が形成された結晶構造を含む半導体膜に対して第 1 の光アニールを行う第 3 工程と、

前記第 3 工程まで終了した結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加し、n 型不純物領域 (b) を形成する第 4 工程と、

前記第 4 工程まで終了した結晶構造を含む半導体膜に第 2 の光アニールを行う第 5 工程と、

前記第 5 工程まで終了した半導体膜をパターンニングして活性層を形成する第 6 工程と、

前記活性層の上にゲート絶縁膜を形成する第 7 工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第 8 工程と、

前記活性層に前記ゲート配線をマスクとして n 型不純物元素を添加し、n 型不純物領域 (c) を形成する第 9 工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第 10 工程と、

前記 n チャネル型 T F T の活性層に n 型不純物元素を添加し、n 型不純物領域 (a) を形成する第 11 工程と、

前記 p チャネル型 T F T の活性層に p 型不純物元素を添加し、p 型不純物領域 (a) を形成する第 12 工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 6】同一基板上に画素部及び駆動回路を含む半

導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第 1 工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加し、n 型不純物領域 (b) を形成する第 2 工程と、

前記第 2 工程まで終了した結晶構造を含む半導体膜に第 1 の光アニールを行う第 3 工程と、

前記第 3 工程まで終了した結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加し、p 型不純物領域 (b) を形成する第 4 工程と、

前記第 4 工程まで終了した第 2 アニール条件で光アニールを行う第 5 工程と、

前記第 5 工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第 6 工程と、

前記活性層の上にゲート絶縁膜を形成する第 7 工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第 8 工程と、

前記活性層に前記ゲート配線をマスクとして n 型不純物元素を添加し、n 型不純物領域 (c) を形成する第 9 工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第 10 工程と、

前記 n チャネル型 T F T の活性層に n 型不純物元素を添加し、n 型不純物領域 (a) を形成する第 11 工程と、

前記 p チャネル型 T F T の活性層に p 型不純物元素を添加し、p 型不純物領域 (a) を形成する第 12 工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 7】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第 1 工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加し、p 型不純物領域 (b) を形成する第 2 工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加し、n 型不純物領域 (b) を形成する第 3 工程と、

前記第 3 工程まで終了した結晶構造を含む半導体膜に対して第 1 の光アニールを行う第 4 工程と、

前記第 4 工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第 5 工程と、

前記活性層の上にゲート絶縁膜を形成する第 6 工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第 7 工程と、

前記活性層に前記ゲート配線をマスクとして n 型不純物元素を添加し、n 型不純物領域 (c) を形成する第 8 工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッ

チングする第9工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第10工程と、
前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第11工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項8】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第2工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第3工程と、

前記第3工程まで終了した結晶構造を含む半導体膜に対して第1の光アニールを行う第4工程と、

前記第4工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第5工程と、

前記活性層の上にゲート絶縁膜を形成する第6工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第7工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第8工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第9工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第10工程と、

前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第11工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項9】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に非晶質構造を含む半導体膜を形成する第1工程と、

前記非晶質構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加してp型不純物領域(b)を形成する第2工程と、

前記非晶質構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第3工程と、
前記第3工程まで終了した非晶質構造を含む半導体膜を結晶化し、結晶構造を含む半導体膜を形成する第4工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第5工程と、

前記第5工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第6工程と、

前記活性層の上にゲート絶縁膜を形成する第7工程と、
前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、

前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項10】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に非晶質構造を含む半導体膜を形成する第1工程と、

前記非晶質構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第2工程と、

前記非晶質構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第3工程と、

前記第3工程まで終了した非晶質構造を含む半導体膜を結晶化し、結晶構造を含む半導体膜を形成する第4工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第5工程と、

前記第5工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第6工程と、

前記活性層の上にゲート絶縁膜を形成する第7工程と、
前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、

前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項11】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成する

nチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第3工程と、
 前記p型不純物領域(b)が形成された結晶構造を含む半導体膜をパターンニングして活性層を形成する第4工程と、
 前記活性層の上にゲート絶縁膜を形成する第5工程と、
 前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第6工程と、
 前記第6工程まで終了した活性層に第2のアニールを行う第7工程と、
 前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、
 前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、
 前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、
 前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、
 を有することを特徴とする半導体装置の作製方法。
 【請求項12】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、
 基板上に結晶構造を含む半導体膜を形成する第1工程と、
 前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、
 前記第2工程を終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第3工程と、
 前記駆動回路を形成するnチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(b)を形成する第4工程と、
 前記活性層の上にゲート絶縁膜を形成する第5工程と、
 前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第6工程と、
 前記第6工程まで終了した活性層に第2の光アニールを行う第7工程と、
 前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、
 前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、
 前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、
 前記pチャネル型TFTの活性層にp型不純物元素を添

加し、p型不純物領域(a)を形成する第12工程と、
 を有することを特徴とする半導体装置の作製方法。
 【請求項13】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、
 基板上に結晶構造を含む半導体膜を形成する第1工程と、
 前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第2工程と、
 前記p型不純物領域(b)が形成された結晶構造を含む半導体膜に第1の光アニールを行う第3工程と、
 前記第3工程まで終了した結晶構造を含む半導体膜をパターンニングして活性層を形成する第4工程と、
 前記活性層の上にゲート絶縁膜を形成する第5工程と、
 前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第6工程と、
 前記第6工程まで終了した活性層に第2の光アニールを行う第7工程と、
 前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、
 前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、
 前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、
 前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、
 を有することを特徴とする半導体装置の作製方法。
 【請求項14】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、
 基板上に結晶構造を含む半導体膜を形成する第1工程と、
 前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第2工程と、
 前記p型不純物領域(b)が形成された結晶構造を含む半導体膜をパターンニングして活性層を形成する第3工程と、
 前記活性層の上にゲート絶縁膜を形成する第4工程と、
 前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第5工程と、
 前記第5工程まで終了した活性層に第1の光アニールを行う第6工程と、
 前記ゲート絶縁膜の上にゲート配線を形成する第7工程と、
 前記活性層に前記ゲート配線をマスクとしてn型不純物

元素を添加し、n型不純物領域(c)を形成する第8工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第9工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第10工程と、
前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第11工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項15】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に非晶質構造を含む半導体膜を形成する第1工程と、

前記非晶質構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第2工程と、
前記p型不純物領域(b)が形成された非晶質構造を含む半導体膜を結晶化し、結晶構造を含む半導体膜を形成する第3工程と、

前記結晶構造を含む半導体膜に第1の光アニールを行う第4工程と、

前記第4工程まで終了した結晶構造を含む半導体膜をバターンニングして活性層を形成する第5工程と、

前記活性層の上にゲート絶縁膜を形成する第6工程と、
前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第7工程と、

前記第7工程まで終了した活性層に第2の光アニールを行う第8工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第9工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第10工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第11工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第12工程と、
前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第13工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項16】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に第1の光アニールを行う第2工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加してp型不純物領域(b)を形成する第3工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第4工程と、

前記第4工程まで終了した結晶構造を含む半導体膜に第2の光アニールを行う第5工程と、

前記第5工程まで終了した結晶構造を含む半導体膜をバターンニングして活性層を形成する第6工程と、

前記活性層の上にゲート絶縁膜を形成する第7工程と、
前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第9工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第10工程と、
前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第11工程と、
前記ゲート配線を覆って珪素を含む絶縁膜を形成する第12工程と、

前記第12工程の後、前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第13工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項17】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に第1の光アニールを行う第2工程と、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加し、p型不純物領域(b)を形成する第3工程と、
前記p型不純物領域(b)が形成された結晶構造を含む半導体膜をバターンニングして活性層を形成する第4工程と、

前記活性層の上にゲート絶縁膜を形成する第5工程と、
前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第6工程と、

前記第6工程を終了した活性層に第2の光アニールを行う第7工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第9工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第10工程と、
前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第11工程と、
前記ゲート配線を覆って珪素を含む絶縁膜を形成する第12工程と、

前記珪素を含む絶縁膜を通して前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第13工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項18】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、

前記第2工程の後、結晶構造を含む半導体膜をパターンニングして活性層を形成する第3工程と、

前記活性層の上にゲート絶縁膜を形成する第4工程と、前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(b)を形成する第5工程と、

前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第6工程と、

前記第6工程まで終了した活性層に対して第2の光アニールを行う第7工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、

前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、を有することを特徴とする半導体装置の作製方法。

【請求項19】同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、

基板上に結晶構造を含む半導体膜を形成する第1工程と、

前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、

前記第2工程の後、結晶構造を含む半導体膜をパターンニングして活性層を形成する第3工程と、

前記活性層の上にゲート絶縁膜を形成する第4工程と、前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(b)を形成する第5工程と、

前記ゲート絶縁膜を通して前記駆動回路を形成するnチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(b)を形成する第6工程と、

前記第6工程まで終了した活性層に対して第2の光アニールを行う第7工程と、

前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、

前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、

前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、

10 前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、を有することを特徴とする半導体装置の作製方法。

【請求項20】請求項1乃至請求項19のいずれか一において、前記n型不純物領域(a)には $1 \times 10^{13} \sim 1 \times 10^{14}$ atoms/cm³の濃度でn型不純物元素が含まれ、前記n型不純物領域(b)には $2 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm³の濃度でn型不純物元素が含まれ、前記n型不純物領域(c)には $1 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm³の濃度でn型不純物元素が含まれており、

20 前記p型不純物領域(a)には $3 \times 10^{19} \sim 3 \times 10^{20}$ atoms/cm³の濃度でp型不純物元素が含まれ、前記p型不純物領域(b)には $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/cm³の濃度でp型不純物元素が含まれていることを特徴とする半導体装置の作製方法。

【請求項21】請求項1乃至請求項19のいずれか一において、前記n型不純物領域(a) < 前記n型不純物領域(b) < 前記n型不純物領域(c)の順に抵抗値が高くなるようにn型不純物元素が添加され、

30 前記p型不純物領域(a) < 前記p型不純物領域(b)の順に抵抗値が高くなるようにp型不純物元素が添加されることを特徴とする半導体装置の作製方法。

【請求項22】請求項1乃至請求項19のいずれか一において、前記n型不純物領域(c)に含まれるn型不純物元素の濃度は、前記n型不純物領域(b)に含まれるn型不純物元素の $1/2 \sim 1/10$ 倍の濃度であることを特徴とする半導体装置の作製方法。

【請求項23】請求項1乃至請求項19のいずれか一において、前記n型不純物領域(c)に含まれるn型不純物元素の濃度は、前記p型不純物領域(b)に含まれるp型不純物元素の $5 \sim 10$ 倍の濃度であることを特徴とする半導体装置の作製方法。

【請求項24】請求項1乃至請求項19のいずれか一において、前記第1の光アニールにおけるエネルギー密度は $250 \sim 500$ mJ/cm²であり、前記第2の光アニールにおけるエネルギー密度は $100 \sim 300$ mJ/cm²であることを特徴とする半導体装置の作製方法。

50 【請求項25】請求項1乃至請求項19のいずれか一において、前記第1の光アニールは、結晶構造を含む半導体膜の結晶性を改善する工程、または結晶構造を含む半導体膜の結晶化を助長する工程であることを特徴とする

半導体装置の作製方法。

【請求項 26】請求項 1 乃至請求項 19 のいずれか一において、前記第 2 の光アニールは、結晶構造を含む半導体膜に添加された n 型または p 型を付与する不純物元素を活性化する工程であることを特徴とする半導体装置の作製方法。

【請求項 27】請求項 1 乃至請求項 19 のいずれか一において、前記駆動回路では、n チャネル型 T F T に形成される前記 n 型不純物領域 (b) の一部または全部が該 n チャネル型 T F T のゲート配線に重なって形成され、前記画素部では、画素 T F T に形成される前記 n 型不純物領域 (c) が該画素 T F T のゲート配線に重ならないように形成されていることを特徴とする半導体装置の作製方法。

【請求項 28】請求項 27 において、前記 n 型不純物領域 (b) には、前記 n 型不純物領域 (c) よりも高い濃度で n 型不純物元素が添加されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、T F T という）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部（画素回路）とその周辺に設けられる駆動回路（制御回路）を同一基板上に設けた液晶表示装置や E L（エレクトロルミネッセンス）表示装置に代表される電気光学装置（電子装置ともいう）、および電気光学装置を搭載した電気器具（電子機器ともいう）に関する。

【0002】尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電気器具も半導体装置に含まれる。

【0003】

【従来の技術】絶縁表面を有する基板上に T F T で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、E L 表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にした T F T（以下、ポリシリコン T F T と記す）は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0004】例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素部や、C M O S 回路を基本としたシフトレジスタ、レベルシフタ、バッファ、サンプリング回路などの駆動回路が一枚の基板上に形成される。また、密着型イメージセンサでは、サンプルホールド回路、シフトレジスタ、マルチプレクサ回路などの画素部を制御するための駆動回路が T F T を用いて形成されている。

【0005】これらの駆動回路（周辺駆動回路ともいう）はそれぞれにおいて動作条件が必ずしも同一でないため、当然 T F T に要求される特性も少なからず異なっている。画素部においては、スイッチ素子として機能する画素 T F T と補助の保持容量を設けた構成であり、液晶に電圧を印加して駆動させるものである。ここで、液晶は交流で駆動させる必要があり、フレーム反転駆動と呼ばれる方式が多く採用されている。従って、要求される T F T の特性はオフ電流値（T F T がオフ動作時に流れるドレイン電流値）を十分低くさせておく必要があった。

【0006】また、バッファは高い駆動電圧が印加されるため、高電圧がかかっても壊れない程度にまで耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値（T F T がオン動作時に流れるドレイン電流値）を十分確保する必要があった。

【0007】しかし、ポリシリコン T F T のオフ電流値は高くなりやすいといった問題点がある。また、I C などで使われる M O S トランジスタと同様にポリシリコン T F T にはオン電流値の低下といった劣化現象が観測される。主たる原因はホットキャリア注入であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられている。

【0008】オフ電流値を低減するための T F T の構造として、低濃度ドレイン (L D D : Lightly Doped Drain) 構造が知られている。この構造はチャネル形成領域と、高濃度に不純物が添加されるソース領域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域は L D D 領域と呼ばれている。

【0009】また、ホットキャリア注入によるオン電流値の劣化を防ぐための構造として、いわゆる G O L D (Gate-drain Overlapped LDD) 構造が知られている。この構造は、L D D 領域がゲート絶縁膜を介してゲート配線と重なるように配置されているため、ドレイン近傍のホットキャリア注入を防ぎ、信頼性を向上させるのに有効である。例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによる G O L D 構造を開示しているが、他の構造の T F T と比べ、きわめて優れた信頼性が得られることが確認されている。

【0010】また、アクティブマトリクス型液晶表示装置の画素部には、数十から数百万個の各画素に T F T が配置され、その T F T のそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧を T F T のスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御し

て画像を表示する仕組みになっている。

【0011】ところが、このコンデンサはオフ電流値等に起因するリーク電流により次第にその蓄積容量が減少するため、透過光量に変化して画像表示のコントラストを低下させる原因となっていた。そこで、従来では容量配線を設けて、液晶を誘電体とするコンデンサとは別のコンデンサ（保持容量）を並列に設け、液晶を誘電体とするコンデンサが損失する容量を補っていた。

【0012】

【発明が解決しようとする課題】しかしながら、画素部の画素TFTと、シフトレジスタやバッファなどの駆動回路のTFT（以下、駆動TFTという）とでは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいては、ゲート配線に大きな逆バイアス（nチャネル型TFTであればマイナス）電圧が印加されるが、駆動回路のTFTは基本的に逆バイアス電圧が印加されて動作されることはない。また、前者の動作速度は後者の1/100以下で良い。

【0013】また、GOLD構造は確かにオン電流値の劣化を防ぐ効果は高いが、反面、通常のLDD構造に比べてオフ電流値が大きくなってしまいう問題があった。従って、特に画素TFTにとっては好ましい構造とは言えなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ホットキャリア注入には弱いことが知られていた。

【0014】このように、アクティブマトリクス型液晶表示装置のような複数の集積回路を有する半導体装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。

【0015】さらに、従来例に示したように画素部に容量配線を用いた保持容量を形成して十分な容量を確保しようとすると、開口率（一画素の面積に対して画像表示が可能な面積の割合）を犠牲にしなければならなかった。特に、プロジェクター型表示装置に用いられるような小型の高精細パネルでは、一個当たりの画素面積も小さいため、容量配線による開口率の低下は問題となっていた。

【0016】本発明はこのような課題を解決するための技術であり、半導体装置の各回路に配置されるTFTの構造を、回路の機能に応じて適切なものとすることにより、半導体装置の動作性能および信頼性を向上させることを目的とする。また、そのような半導体装置を実現するための作製方法を提供することを課題とする。

【0017】また、他の目的として画素部を有する半導体装置において、画素に設けられる保持容量の面積を縮小化し、開口率を向上させるための構造を提供することを目的とする。また、そのような画素部の作製方法を提供する。

【0018】

【課題を解決するための手段】上記問題点を解決するた

めに本発明では、同一基板上に画素部と駆動回路とを含む半導体装置において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、一部または全部が該nチャネル型TFTのゲート配線とゲート絶縁膜を挟んで重なるように形成され、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように形成され前記駆動回路を形成するnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度でn型不純物元素が含まれる。

【0019】また、上記構成に加えて、前記画素部の保持容量を有機樹脂膜の上に設けられた遮光膜、該遮光膜の酸化物および画素電極で形成しても良い。こうすることで非常に小さい面積で保持容量を形成することができるため、画素の開口率を向上させることができる。

【0020】また、本発明のさらに詳細な構成は、同一基板上に画素部と駆動回路とを含む半導体装置において、前記駆動回路には、LDD領域の全部がゲート絶縁膜を挟んでゲート配線と重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート絶縁膜を挟んでゲート配線と重なるように形成された第2のnチャネル型TFTとが含まれ、前記画素部には、LDD領域がゲート絶縁膜を挟んでゲート配線と重ならないように形成された画素TFTが含まれることを特徴とする。勿論、画素部の保持容量を有機樹脂膜の上に設けられた遮光膜、該遮光膜の酸化物および画素電極で形成しても良い。勿論、画素部の保持容量を有機樹脂膜の上に設けられた遮光膜、該遮光膜の酸化物および画素電極で形成しても良い。

【0021】なお、上記構成において、前記駆動回路を形成するnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて2～10倍の濃度で周期表の周期表の15族に属する元素を含ませておけば良い。また、前記第1のnチャネル型TFTのLDD領域をチャネル形成領域とドレイン領域との間に形成し、前記第2のnチャネル型TFTのLDD領域をチャネル形成領域を挟んで形成しても良い。

【0022】また、作製工程に関する本発明の構成は、同一基板上に画素部及び駆動回路を含む半導体装置の作製方法において、基板上に結晶構造を含む半導体膜を形成する第1工程と、前記結晶構造を含む半導体膜に対して第1の光アニールを行う第2工程と、前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加してp型不純物領域（b）を形成する第3工程と、前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域（b）を形成する第4工程と、前記第4工程まで終了した結晶構造を含む半導体膜に対して第2の光アニールを行う第5工程と、前記第5工程まで終了した結晶構造を

含む半導体膜をパターニングして活性層を形成する第6工程と、前記活性層の上にゲート絶縁膜を形成する第7工程と、前記ゲート絶縁膜の上にゲート配線を形成する第8工程と、前記活性層に前記ゲート配線をマスクとしてn型不純物元素を添加し、n型不純物領域(c)を形成する第9工程と、前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングする第10工程と、前記nチャネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第11工程と、前記pチャネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第12工程と、を有することを特徴とする。

【0023】なお、この構成において、第1工程から第7工程に至るまでの順序は適宜変更しても構わない。どのような順序としても、最終的に形成されるTFTの基本的な機能は変化せず、本発明の効果を損なうものではない。

【0024】また、p型不純物領域(a)、n型不純物領域(a)またはn型不純物領域(b)を形成する工程の順序を適宜変更することも構わない。この場合もどのような順序であっても最終的に形成されるTFTの基本的な機能は変化せず、本発明の効果を損なうものではない。

【0025】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例をもって詳細な説明を行うこととする。

【0026】【実施例1】本発明の実施例について図1～図4を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ、バッファ等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0027】図1(A)において、基板100には、ガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板(プラスチックフィルムも含む)を用いることも可能である。

【0028】そして、基板100のTFTが形成される表面には、珪素(シリコン)を含む絶縁膜(本明細書中では酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜の総称を指す)からなる下地膜101をプラズマCVD法やスパッタ法で100～400nmの厚さに形成した。なお、本明細書中において窒化酸化シリコン膜とは SiO_xNy (但し、 $0 < x, y < 1$)で表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。また、窒化酸化シリコン膜は、 SiH_4 と N_2O と NH_3 を原料ガスとして作製すればよく、含有する窒素濃度を25atonic%以上50atonic%未満とす

ると良い。

【0029】本実施例では、下地膜101として、窒化酸化シリコン膜を25～100nm、ここでは50nmの厚さに、酸化シリコン膜を50～300nm、ここでは150nmの厚さとした2層構造で形成した。下地膜101は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0030】次に下地膜101の上に20～100nmの厚さの、非晶質構造を含む半導体膜(本実施例では非晶質シリコン膜(図示せず))を公知の成膜法で形成した。なお、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。

【0031】そして、特開平7-130652号公報に記載された技術に従って、結晶構造を含む半導体膜(本実施例では結晶質シリコン膜)102を形成した。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長する触媒元素(ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素、代表的にはニッケル)を用いる結晶化手段である。

【0032】具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。本実施例では同公報の実施例1に記載された技術を用いるが、実施例2に記載された技術を用いても良い。なお、結晶質シリコン膜には、いわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒界を有するシリコン膜である。(図1(A))

【0033】非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で数時間加熱して脱水素処理を行い、含有水素量を5atonic%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0034】ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にならされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0035】次に、結晶質シリコン膜102に対してレーザー光源から発する光(レーザー光)を照射(以下、レーザーアニールという)して結晶性の改善された結晶質シリコン膜103を形成した。レーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が

望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。(図1(B))

【0036】また、レーザー光の代わりにランプから発する光(ランプ光)を照射(以下、ランプアニールという)しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0037】なお、このようにレーザー光またはランプ光により熱処理(アニール)を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーンズアニール(熱アニールともいう)で代用することもできる。

【0038】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行った。レーザーアニール条件は、励起ガスとしてXeClガスをを用い、処理温度を室温、パルス発振周波数を30 Hzとし、レーザーエネルギー密度を250~500 mJ/cm²(代表的には350~400 mJ/cm²)とした。

【0039】上記条件で行われたレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件で行われる光アニールを第1の光アニールと呼ぶことにする。

【0040】次に、結晶質シリコン膜103上に後の不純物添加時のために保護膜104を形成した。保護膜104は100~200 nm(好ましくは130~170 nm)の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いた。この保護膜104は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするため、微妙な濃度制御を可能にするための意味がある。

【0041】そして、その上にレジストマスク105を形成し、保護膜104を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加した。p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTF Tのしきい値電圧を制御するための工程である。なお、ここではジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0042】この工程により $1 \times 10^{15} \sim 1 \times 10^{16}$ atoms/cm³(代表的には $5 \times 10^{15} \sim 5 \times 10^{16}$ atoms/cm³)の濃度でp型不純物元素(本実施例ではボロン)を含む不純物領域106を形成した。なお、本明細書中では少なくとも上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(b)と定義する。(図1(C))

【0043】次に、レジストマスク105を除去し、新たにレジストマスク107~110を形成した。そして、n型を付与する不純物元素(以下、n型不純物元素という)を添加してn型を呈する不純物領域111~113を形成した。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリンまたは砒素を用いることができる。(図1(D))

【0044】この低濃度不純物領域111~113は、後にCMOS回路およびサンプリング回路のnチャネル型TF Tにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{17} \sim 5 \times 10^{17}$ atoms/cm³(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³)の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(b)と定義する。

【0045】なお、ここではフォスフィン(PH₃)を質量分離しないでプラズマ励起したイオンドープ法でリンを 1×10^{18} atoms/cm³の濃度で添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、保護膜104を介して結晶質シリコン膜にリンを添加した。

【0046】次に、保護膜104を除去し、再びレーザー光の照射工程を行った。ここでもレーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。但し、添加された不純物元素の活性化が目的であるので、結晶質シリコン膜が溶融しない程度のエネルギーで照射することが好ましい。また、保護膜104をつけたままレーザーアニール工程を行うことも可能である。(図1(E))

【0047】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行った。レーザーアニール条件は、励起ガスとしてKrFガスをを用い、処理温度を室温、パルス発振周波数を30 Hzとし、レーザーエネルギー密度を100~300 mJ/cm²(代表的には150~250 mJ/cm²)とした。

【0048】上記条件で行われた光アニール工程は、添加されたn型またはp型を付与する不純物元素を活性化すると共に、不純物元素の添加時に非晶質化した半導体膜を再結晶化する効果を有する。なお、上記条件は半導体膜を溶融させることなく原子配列の整合性をとり、且

つ、不純物元素を活性化することが好ましい。また、本工程は光アニールによりn型またはp型を付与する不純物元素を活性化する工程、半導体膜を再結晶化する工程、またはそれらを同時に行う工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件で行われる光アニールを第2の光アニールと呼ぶことにする。

【0049】この工程によりn型不純物領域(b)111~113の境界部、即ち、n型不純物領域(b)の周囲に存在する真性な領域(p型不純物領域(b)も実質的に真性とみなす)との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャンネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0050】なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550℃程度の熱処理を行えば良い。

【0051】次に、結晶質シリコン膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)114~117を形成した。(図1(F))

【0052】次に、活性層114~117を覆ってゲート絶縁膜118を形成した。ゲート絶縁膜118は、10~200nm、好ましくは50~150nmの厚さに形成すれば良い。本実施例では、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化シリコン膜を115nmの厚さに形成した。(図2(A))

【0053】次に、ゲート配線となる導電膜を形成した。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜119と第2導電膜120とでなる積層膜を形成した。(図2(B))

【0054】ここで第1導電膜119、第2導電膜120としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)、銀(Ag)、パラジウム(Pd)、白金(Pt)もしくは銅(Cu)から選ばれた元素、または前記元素を主成分とする導電膜(代表的には窒化タンタル膜、窒化タングステン膜もしくは窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金もしくはAg-Pd-Cu合金)を用いることができる。

【0055】なお、第1導電膜119は10~50nm(好ましくは20~30nm)とし、第2導電膜120は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜119として、50nm厚の窒化タングステン(WN)膜を、第2導電膜120として、350nm厚のタングステン膜

を用いた。

【0056】なお、図示しないが、第1導電膜119の上もしくは下にシリコン膜を2~20nm程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の密着性の向上と、酸化防止を図ることができる。

【0057】次に、第1導電膜119と第2導電膜120とを一括でエッチングして400nm厚のゲート配線121~124を形成した。この時、駆動回路のnチャネル型TFTのゲート配線122、123はn型不純物領域(b)111~113の一部とゲート絶縁膜を介して重なるように形成した。この重なった部分が後にLov領域となる。なお、ゲート配線124は断面では二つに見えるが、実際は連続的に繋がった一つのパターンから形成されている。(図2(C))

【0058】次に、ゲート配線121~124をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加した。こうして形成された不純物領域125~130には前記n型不純物領域(b)の1/2~1/10(代表的には1/3~1/4)の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度、代表的には $1 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²、典型的には $3 \times 10^{13} \sim 3 \times 10^{14}$ atoms/cm²、)でリンが添加されるように調節した。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(c)と定義する。(図2(D))

【0059】なお、この工程ではゲート配線で隠された部分を除いて全てのn型不純物領域(b)にも $1 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²の濃度でリンが添加されているが、非常に低濃度であるためn型不純物領域(b)としての機能には影響を与えない。また、n型不純物領域(b)127~130には既にチャネルドープ工程で $1 \times 10^{14} \sim 1 \times 10^{14}$ atoms/cm²の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

【0060】但し、厳密にはn型不純物領域(b)111~113のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0061】次に、ゲート配線121~124をマスクとして自己整合的にゲート絶縁膜118をエッチングした。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF₃ガスを用いた。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜131~134が形成された。(図

2 (E))

【0062】このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。そのため、また必要なドーズ量が少なくて済むのでスループットが向上する。勿論、ゲート絶縁膜をエッチングしないで残し、スルードーピングによって不純物領域を形成しても良い。

【0063】次に、ゲート配線を覆う形でレジストマスク135~138を形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域139~147を形成した。ここでも、フォスフィン（PH₃）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³（代表的には $2 \times 10^{19} \sim 5 \times 10^{19}$ atoms/cm³）とした。（図2（F））

【0064】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（a）と定義する。また、不純物領域139~147が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域139~147はn型不純物領域（a）と言い換えても構わない。

【0065】次に、レジストマスク135~138を除去し、新たにレジストマスク148を形成した。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域149、150を形成した。ここではジボラン（B₂H₆）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）により $3 \times 10^{19} \sim 3 \times 10^{21}$ atoms/cm³（代表的には $5 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³）濃度でボロンを添加した。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域（a）と定義する。（図3（A））

【0066】なお、不純物領域149、150の一部（前述のn型不純物領域（a）139、140）には既に $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。従って、本明細書中では不純物領域149、150をp型不純物領域（a）と言い換えても構わない。

【0067】次に、レジストマスク148を除去した後、第1層間絶縁膜151を形成した。第1層間絶縁膜151としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、

膜厚は100~400nmとすれば良い。本実施例では、プラズマCVD法でSiH₄、N₂O、NH₃を原料ガスとし、200nm厚の窒化酸化シリコン膜（但し窒素濃度が25~50atomic%）を用いた。

【0068】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーンズアニール法、レーザーアニール法、またはラビッドサーマルアニール法（RTA法）で行うことができる。ここではファーンズアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300~650℃、好ましくは400~550℃、ここでは550℃、4時間の熱処理を行った。（図3（B））

【0069】この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素（本実施例ではニッケル）が、矢印で示す方向に移動して、前述の図2（F）の工程で形成された高濃度にリンを含む領域に捕獲（ゲッタリング）された。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域152~156は前記触媒元素の濃度が 1×10^{17} atoms/cm³以下（好ましくは 1×10^{14} atoms/cm³以下）となった。

【0070】また逆に、触媒元素のゲッタリングサイトとなった領域（図2（F）の工程で不純物領域139~147が形成された領域）は高濃度に触媒元素が偏析して 5×10^{14} atoms/cm³以上（代表的には $1 \times 10^{17} \sim 5 \times 10^{19}$ atoms/cm³）濃度で存在するようになった。

【0071】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0072】活性化工程を終えたら、第1層間絶縁膜151の上に500nm~1.5μm厚の第2層間絶縁膜157を形成した。本実施例では第2層間絶縁膜157として800nm厚の酸化シリコン膜をプラズマCVD法により形成した。こうして第1層間絶縁膜（窒化酸化シリコン膜）151と第2層間絶縁膜（酸化シリコン膜）157との積層膜でなる1μm厚の層間絶縁膜を形成した。

【0073】なお、第2層間絶縁膜157として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等の有機樹脂膜を用いることも可能である。

【0074】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線158~161と、ドレイン配線162~165を形成した。なお、図示されていないがCMO

S回路を形成するためにドレイン配線162、163は同一配線として接続されている。また、図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。なお、ソース配線及びドレイン配線としてCuもしくはAg-Pd-Cu合金からなる薄膜とTiNからなる薄膜とを積層して用いても良い。

【0075】次に、パッシベーション膜166として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。この時、本実施例では膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行った。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜166の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができた。

【0076】また、パッシベーション膜166を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜166に開口部を形成しておいても良い。

【0077】その後、有機樹脂からなる第3層間絶縁膜167を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0078】次に、画素部となる領域において、第3層間絶縁膜167上に遮蔽膜168を形成した。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。

【0079】遮蔽膜168はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100～300nmの厚さに形成した。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成した。

【0080】なお、第3層間絶縁膜167上に酸化シリコン膜に代表される珪素を含む絶縁膜を5～50nm形

成しておくと、この上に形成する遮蔽膜の密着性を高めることができた。また、有機樹脂膜で形成した第3層間絶縁膜167の表面にCF₄ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができた。

【0081】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0082】次に、遮蔽膜168の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20～100nm（好ましくは30～50nm）の厚さの酸化物169を形成した。本実施例では遮蔽膜168としてアルミニウムを主成分とする膜を用いたため、陽極酸化物169として酸化アルミニウム膜（アルミナ膜）が形成された。

【0083】この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製した。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2：8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節した。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜168が形成されている基板を溶液に浸し、遮蔽膜168を陽極として、一定（数mA～数十mA）の直流電流を流した。

【0084】溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま100V/minの昇圧レートで電圧を上昇させて、到達電圧45Vに達したところで陽極酸化処理を終了させた。このようにして遮蔽膜168の表面には厚さ約50nmの陽極酸化物169を形成することができた。また、その結果、遮蔽膜168の膜厚は90nmとなった。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

【0085】また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20～100nm（好ましくは30～50nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0086】次に、第3層間絶縁膜167、パッシベーション膜166にドレイン配線165に達するコンタクトホールを形成し、画素電極170を形成した。なお、

画素電極171、172はそれぞれ隣接する別の画素の画素電極である。画素電極170～172は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）を110nmの厚さにスパッタ法で形成した。

【0087】また、この時、画素電極170と遮蔽膜168とが陽極酸化物169を介して重なり、保持容量（キャパシタンス・ストレージ）173を形成した。なお、この場合、遮蔽膜168をフローティング状態（電氣的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0088】こうして同一基板上に、駆動回路と画素部とを有したアクティブマトリクス基板が完成した。なお、図3（C）においては、駆動回路にはpチャネル型TFT301、nチャネル型TFT302、303が形成され、画素部にはnチャネル型TFTでなる画素TFT304が形成された。

【0089】駆動回路のpチャネル型TFT301には、チャネル形成領域201、ソース領域202、ドレイン領域203がそれぞれp型不純物領域（a）で形成された。但し、実際にはソース領域またはドレイン領域の一部に $1 \times 10^{13} \sim 1 \times 10^{14}$ atoms/cm²の濃度でリンを含む領域が存在する。また、その領域には図3

（B）の工程でゲッタリングされた触媒元素が 5×10^{14} atoms/cm²以上（代表的には $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²）濃度で存在する。

【0090】また、nチャネル型TFT302には、チャネル形成領域204、ソース領域205、ドレイン領域206、そしてチャネル形成領域の片側（ドレイン領域側）に、ゲート絶縁膜を挟んでゲート配線と重なったLDD領域（本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。）207が形成された。この時、Lov領域207は $2 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成された。

【0091】また、図3（C）ではできるだけ抵抗成分を減らすためにチャネル形成領域204の片側のみ（ドレイン領域側のみ）にLov領域を配置しているが、チャネル形成領域204を挟んで両側に配置しても良い。

【0092】また、nチャネル型TFT303には、チャネル形成領域208、ソース領域209、ドレイン領域210、そしてチャネル形成領域の両側にLDD領域211、212が形成された。なお、この構造ではLDD領域211、212の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を挟んでゲート配線と重なった領域（Lov領域）とゲート配線と重ならない領域（本明細書中ではこのような領域をLoff領域とい

う。なお、offはoffsetの意味で付した。）が形成されている。

【0093】ここで図5に示す断面図は図3（C）に示したnチャネル型TFT303を図3（B）の工程まで作製した状態を示す拡大図である。ここに示すように、LDD領域211はさらにLov領域211a、Loff領域211bに区別できる。また、前述のLov領域211aには $2 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm²の濃度でリンが含まれるが、Loff領域211bはその1～2倍（代表的には1.2～1.5倍）の濃度でリンが含まれる。

【0094】また、画素TFT304には、チャネル形成領域213、214、ソース領域215、ドレイン領域216、Loff領域217～220、Loff領域218、219に接したn型不純物領域（a）221が形成された。この時、ソース領域215、ドレイン領域216はそれぞれn型不純物領域（a）で形成され、Loff領域217～220はn型不純物領域（c）で形成された。

【0095】本実施例では、画素部および駆動回路が要求する回路仕様に依じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、nチャネル型TFTは回路仕様に依じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

【0096】例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT302は高速動作を重視するシフトレジスタ、分周波回路、信号分割回路、レベルシフタ、バッファなどの駆動回路に適している。即ち、チャネル形成領域の片側（ドレイン領域側）のみにLov領域を配置することで、できるだけ抵抗成分を低減させつつホットキャリア対策を重視した構造となっている。これは上記回路群の場合、ソース領域とドレイン領域の機能が変わらず、キャリア（電子）の移動する方向が一定だからである。但し、必要に応じてチャネル形成領域を挟んで両側にLov領域を配置することもできる。

【0097】また、nチャネル型TFT303はホットキャリア対策と低オフ電流動作の双方を重視するサンプリング回路（トランスファークロークともいう）に適している。即ち、Lov領域を配置することでホットキャリア対策とし、さらにLoff領域を配置することで低オフ電流動作を実現した。また、サンプリング回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が180°変わるため、ゲート配線を中心に線対称となるような構造としなければならない。なお、場合によってはLov領域のみとすることもありうる。

【0098】また、nチャネル型TFT304は低オフ電流動作を重視した画素部もしくはサンプリング回路に

適している。即ち、オフ電流値を増加させる要因となりうる Lov 領域を配置せず、Loff 領域のみを配置することで低オフ電流動作を実現している。また、駆動回路の LDD 領域よりも低い濃度の LDD 領域を Loff 領域として用いることで、多少オン電流値が低下しても徹底的にオフ電流値を低減する対策を打っている。さらに、n 型不純物領域 (a) 221 はオフ電流値を低減する上で非常に有効であることが確認されている。

【0099】また、チャネル長 3~7 μm に対して n チャネル型 TFT 302 の Lov 領域 207 の長さ (幅) は 0.5~3.0 μm 、代表的には 1.0~1.5 μm とすれば良い。また、n チャネル型 TFT 303 の Lov 領域 211a、212a の長さ (幅) は 0.5~3.0 μm 、代表的には 1.0~1.5 μm 、Loff 領域 211b、212b の長さ (幅) は 1.0~3.5 μm 、代表的には 1.5~2.0 μm とすれば良い。また、画素 TFT 304 に設けられる Loff 領域 217~220 の長さ (幅) は 0.5~3.5 μm 、代表的には 2.0~2.5 μm とすれば良い。

【0100】さらに、p チャネル型 TFT 301 は自己整合 (セルフアライン) 的に形成され、n チャネル型 TFT 302~304 は非自己整合 (ノンセルフアライン) 的に形成されている点も本発明の特徴の一つである。

【0101】また、本実施例では保持容量の誘電体として比誘電率が 7~9 と高いアルミナ膜を用いたことで、必要な容量を形成するための面積を少なくすることを可能とした。さらに、本実施例のように画素 TFT 上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができた。

【0102】なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平 9-316567 号出願や特願平 10-254097 号出願に記載された保持容量の構造を用いることもできる。

【0103】[実施例 2] 本実施例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図 4 に示すように、図 3

(C) の状態の基板に対し、配向膜 401 を形成した。本実施例では配向膜としてポリイミド膜を用いた。また、対向基板 402 には、透明導電膜からなる対向電極 403 と、配向膜 404 とを形成した。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0104】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素部と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ (共に図示

せず)などを介して貼りあわせた。その後、両基板の間に液晶 405 を注入し、封止剤 (図示せず) によって完全に封止した。液晶には公知の液晶材料を用いれば良い。このようにして図 4 に示すアクティブマトリクス型液晶表示装置が完成した。

【0105】次に、このアクティブマトリクス型液晶表示装置の構成を、図 6 の斜視図を用いて説明する。尚、図 6 は、図 1~図 3 の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、ガラス基板 101 上に形成された、画素部 601 と、走査 (ゲート) 信号駆動回路 602 と、画像 (ソース) 信号駆動回路 603 で形成される。画素部の画素 TFT 304 は n チャネル型 TFT であり、周辺に設けられる駆動回路は CMOS 回路を基本として形成されている。走査信号駆動回路 602 と、画像信号駆動回路 603 はそれぞれゲート配線 124 とソース配線 161 で画素部 601 に接続されている。また、FPC 604 が接続された端子 605 と駆動回路とが接続配線 606、607 によって接続されている。

【0106】[実施例 3] 図 7 は、実施例 2 で示したアクティブマトリクス基板の回路構成の一例を示す。本実施例のアクティブマトリクス基板は、画像信号駆動回路 701、走査信号駆動回路 (A) 707、走査信号駆動回路 (B) 711、画素部 706 を有している。なお、本明細書中において、駆動回路部とは画像信号駆動回路 701 および走査信号駆動回路 707 を含めた総称である。また、画素部の下部にプリチャージ回路を設けることもできる。

【0107】画像信号駆動回路 701 は、シフトレジスタ 702、レベルシフト 703、バッファ 704、サンプリング回路 (厳密にはトランスファゲートともいう 705 を備えている。また、走査信号駆動回路 (A) 707 は、シフトレジスタ 708、レベルシフト 709、バッファ 710 を備えている。走査信号駆動回路 (B) 711 も同様な構成である。なお、図 7 (B) は、図 7 (A) をさらに詳細に示した図である。

【0108】ここでシフトレジスタ 702、708 は駆動電圧が 5~16 V (代表的には 10 V) であり、回路を形成する CMOS 回路に使われる n チャネル型 TFT は図 3 (C) の 302 で示される構造が適している。

【0109】また、レベルシフト 703、709、バッファ 704、710 は、駆動電圧は 14~16 V と高くなるが、シフトレジスタと同様に、図 3 (C) の n チャネル型 TFT 302 を含む CMOS 回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0110】また、サンプリング回路 705 は駆動電圧が 14~16 V であるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるため、図

3 (C) の n チャネル型 TFT 303 を含む CMOS 回路が適している。なお、図 3 (C) では n チャネル型 TFT しか図示されていないが、実際にサンプリング回路を形成する時は n チャネル型 TFT と p チャネル型 TFT とを組み合わせて形成することになる。

【0111】また、画素部 706 は駆動電圧が 14～16 V であり、サンプリング回路 705 よりもさらにオフ電流値が低いことを要求するので、 L_{ov} 領域を配置しない構造とすることが望ましく、図 3 (C) の n チャネル型 TFT 304 を画素 TFT として用いることが望ましい。

【0112】なお、本実施例の構成は、実施例 1 に示した作製工程に従って TFT を作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、実施例 1 の作製工程に従えば、その他にも信号分割回路、分周波回路、D/A コンバータ回路、オペアンプ回路、 γ 補正回路、さらにはメモリ回路やマイクロプロセッサ回路などの信号処理回路（論理回路と言っても良い）を同一基板上に形成することも可能である。

【0113】このように本発明は、同一基板上に画素部及び該画素部を制御するための駆動回路を含む半導体装置、例えば同一基板上に駆動回路部及び画素部を具備した電子装置を実現しうる。

【0114】【実施例 4】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 8 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0115】まず、実施例 1 の工程に従って保護膜 104 までを形成する。そして、その上にレジストマスク 801～804 を形成し、図 1 (D) と同一の条件で n 型不純物元素を添加する。こうして n 型不純物領域 (b) 805～807 が形成される。（図 8 (A)）

【0116】次に、レジストマスク 801～804 を除去し、新たにレジストマスク 808 を形成する。そして、図 1 (C) と同一の条件でチャネルドープ工程を行う。こうして p 型不純物領域 (b) 809～811 が形成される。（図 8 (B)）

【0117】この後は、実施例 1 の工程に従って図 1 (E) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0118】【実施例 5】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 9 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0119】まず、実施例 1 の工程に従って図 1 (B) の工程まで行う。そして、形成された結晶質シリコン膜 103 をパターニングして活性層 901～904 を形成し、その上に珪素を含む絶縁膜（本実施例では酸化シリコン膜）でなる保護膜 905 を 120～150 nm の形成する。（図 9 (A)）

【0120】なお、本実施例ではレーザーアニール工程（第 1 の光アニール）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0121】次に、レジストマスク 906～909 を形成し、図 1 (D) と同一の条件で n 型不純物元素を添加する。こうして n 型不純物領域 (b) 910～912 が形成される。（図 9 (B)）

【0122】次に、レジストマスク 906～909 を除去し、新たにレジストマスク 913 を形成する。そして、図 1 (C) と同一の条件でチャネルドープ工程を行う。こうして p 型不純物領域 (b) 914～916 が形成される。（図 9 (C)）

【0123】その後、レジストマスク 913 を除去し、図 1 (E) と同一の条件でレーザーアニール工程（第 2 の光アニール）を行う。これにより添加された n 型または p 型の不純物元素が効果的に活性化される。（図 9 (D)）

【0124】この後は、実施例 1 の工程に従って図 2 (A) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0125】【実施例 6】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 10 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0126】まず、実施例 1 の工程に従って図 1 (B) の工程まで行い、実施例 5 の工程に従って図 9 (A) の状態を得る。なお、本実施例ではレーザーアニール工程（第 1 の光アニール）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0127】そして、レジストマスク 1001 を形成し、図 1 (C) と同一の条件でチャネルドープ工程を行う。こうして p 型不純物領域 (b) 1002～1004 が形成される。（図 10 (A)）

【0128】次に、レジストマスク 1001 を除去し、新たにレジストマスク 1005～1008 を形成する。そして、図 1 (D) と同一の条件で n 型不純物元素を添加する。こうして n 型不純物領域 (b) 1009～1011 が形成される。（図 10 (B)）

【0129】この後は、実施例 5 で説明した図 9 (D)

と同様のレーザーアニール工程（第2の光アニール）を行って添加されたn型またはp型不純物元素の活性化を行い、その後、実施例1の工程に従って図2（A）以降の工程を行えば良い。なお、本実施例の構成は実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0130】【実施例7】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図11を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0131】まず、実施例1の工程に従って図1（A）の状態を得る。そして、形成された結晶質シリコン膜102の上に保護膜1101を120～150nmの厚さに形成する。さらに、その上にレジストマスク1102を形成し、図1（C）と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域（b）1103が形成される。（図11（A））

【0132】次に、レジストマスク1102および保護膜1101を除去し、図1（B）と同一の条件でレーザーアニール工程（第1の光アニール）を行う。この工程では、レジストマスク1102で隠されていた結晶質シリコン膜は結晶性が改善され、p型不純物領域（b）1103では非晶質化したシリコン膜が再結晶化されると共に、添加されたp型不純物元素が活性化される。（図11（B））

【0133】次に、再び保護膜1106を120～150nmの厚さに形成し、レジストマスク1107～1110を形成する。そして、図1（D）と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域（b）1111～1113が形成される。（図11（C））

【0134】次に、レジストマスク1107～1110および保護膜1106を除去し、図1（E）と同一の条件でレーザーアニール工程（第2の光アニール）を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。（図11（D））

【0135】なお、図11（B）の工程を、保護膜1101を残したまま行うこともできる。その場合、新たに保護膜1106を形成する工程を削減することができるが、保護膜を介することでレーザー光の減衰があるので、レーザーエネルギー密度を高めに設定することが必要である。また、保護膜1101は図11（D）のレーザーアニール工程の時も残しておくことが可能である。この場合も、保護膜を考慮してレーザーエネルギー密度を設定する。

【0136】この後は、実施例1の工程に従って図1（F）以降の工程を行えば良い。なお、本実施例の構成は実施例2、3のアクティブマトリクス型液晶表示装置

を作製する際に実施することが可能である。

【0137】【実施例8】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図12を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0138】まず、実施例1の工程に従って図1（A）の状態を得る。そして、形成された結晶質シリコン膜102の上に保護膜1201を120～150nmの厚さに形成する。さらに、その上にレジストマスク1202～1205を形成し、図1（D）と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域（b）1206～1208が形成される。（図12（A））

【0139】次に、レジストマスク1202～1205および保護膜1201を除去し、図1（B）と同一の条件でレーザーアニール工程（第1の光アニール）を行う。この工程では、レジストマスク1202～1205で隠されていた結晶質シリコン膜は結晶性が改善され、p型不純物領域（b）1206～1208では非晶質化したシリコン膜が再結晶化されると共に、添加されたn型不純物元素が活性化される。（図12（B））

【0140】次に、再び保護膜1211を120～150nmの厚さに形成し、レジストマスク1212を形成する。そして、図1（C）と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域（b）1213～1215が形成される。（図12（C））

【0141】次に、レジストマスク1212および保護膜1211を除去し、図1（E）と同一の条件でレーザーアニール工程（第2の光アニール）を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。（図12（D））

【0142】なお、図12（B）の工程を、保護膜1201を残したまま行うこともできる。その場合、新たに保護膜1211を形成する工程を削減することができるが、保護膜を介することでレーザー光の減衰があるので、レーザーエネルギー密度を高めに設定することが必要である。また、保護膜1201は図12（D）のレーザーアニール工程の時も残しておくことが可能である。この場合も、保護膜を考慮してレーザーエネルギー密度を設定する。

【0143】この後は、実施例1の工程に従って図1（F）以降の工程を行えば良い。なお、本実施例の構成は実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0144】【実施例9】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、本実施例は基本的には実施例7と同じであるので、図11を参照して説明することとする。また、添加する不純物元素も実施例7と同様の不純物元素を例に

とる。

【0145】本実施例では、実施例7で説明した図11 (B) のレーザーアニール工程 (第1の光アニール) を省略し、同工程を図11 (D) のレーザーアニール工程で兼ねる点に特徴がある。この場合、図11 (D) のレーザーアニール工程を第1の光アニールに変更する必要があるが、これにより工程数を削減することが可能となる。

【0146】なお、図11 (D) の状態を得たら、その後は、実施例1の工程に従って図1 (F) 以降の工程を行えば良い。なお、本実施例の構成は実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0147】【実施例10】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、本実施例は基本的には実施例8と同じであるので、図12を参照して説明することとする。また、添加する不純物元素も実施例8と同様の不純物元素を例にとる。

【0148】本実施例では、実施例8で説明した図12 (B) のレーザーアニール工程 (第1の光アニール) を省略し、同工程を図12 (D) のレーザーアニール工程で兼ねる点に特徴がある。この場合、図12 (D) のレーザーアニール工程を第1の光アニールに変更する必要があるが、これにより工程数を削減することが可能となる。

【0149】なお、図12 (D) の状態を得たら、その後は、実施例1の工程に従って図1 (F) 以降の工程を行えば良い。なお、本実施例の構成は実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0150】【実施例11】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図13を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0151】まず、実施例1の工程に従って基板100上に下地膜101を形成し、その上に非晶質成分を含む半導体膜を形成する。本実施例では非晶質シリコン膜1301をプラズマCVD法により30nmの厚さに形成する。(図13 (A))

【0152】次に、珪素を含む絶縁膜でなる保護膜1302を120～150nmの厚さに形成した後、レジストマスク1303を形成する。そして、図1 (C) と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域 (b) 1304が形成される。(図13 (B))

【0153】次に、レジストマスク1303を除去し、新たにレジストマスク1306～1308を形成する。50

そして、図1 (D) と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域 (b) 1309～1311が形成される。(図13 (C))

【0154】次に、保護膜1302を除去した後、特開平7-130652号公報に記載された技術に従って、n型またはp型不純物元素が添加された非晶質シリコン膜を結晶化し、結晶質シリコン膜1312を得る。(図13 (D))

【0155】なお、上記特開平7-130652号公報の実施例2に記載された技術を用いて結晶化を行う場合、保護膜1302をそのまま残しておくことが可能である。即ち、結晶化を促進する触媒元素を選択的に添加する際のマスク膜として活用することが可能である。

【0156】次に、図1 (B) と同一の条件でレーザーアニール工程 (第1の光アニール) を行う。この工程では、不純物元素が添加されない結晶質シリコン膜は結晶性が改善され、不純物元素が添加された領域では非晶質化したシリコン膜が再結晶化されると共に、添加されたn型またはp型不純物元素が活性化される。なお、この工程は図13 (D) の結晶化工程で結晶質シリコン膜1312表面に形成された熱酸化膜を除去した後に行うことが好ましい。(図13 (E))

【0157】この後は、実施例1の工程に従って図1 (F) 以降の工程を行えば良い。なお、本実施例の構成は実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0158】【実施例12】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図14を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0159】まず、実施例11の工程に従って図13 (A) の状態を得る。次に、珪素を含む絶縁膜でなる保護膜1401を120～150nmの厚さに形成した後、レジストマスク1402～1405を形成する。そして、図1 (D) と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域 (b) 1406～1408が形成される。(図14 (A))

【0160】次に、レジストマスク1402～1405を除去し、新たにレジストマスク1409を形成する。そして、図1 (C) と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域 (b) 1410～1412が形成される。(図14 (B))

【0161】次に、保護膜1401を除去した後、特開平7-130652号公報に記載された技術に従って、n型またはp型不純物元素が添加された非晶質シリコン膜を結晶化し、結晶質シリコン膜1413を得る。(図14 (C))

【0162】なお、上記特開平7-130652号公報

の実施例 2 に記載された技術を用いて結晶化を行う場合、保護膜 1401 をそのまま残しておくことが可能である。即ち、結晶化を促進する触媒元素を選択的に添加する際のマスク膜として活用することが可能である。

【0163】次に、図 1 (B) と同一の条件でレーザーアニール工程（第 1 の光アニール）を行う。この工程では、不純物元素が添加されない結晶質シリコン膜は結晶性が改善され、不純物元素が添加された領域では非晶質化したシリコン膜が再結晶化されると共に、添加された n 型または p 型不純物元素が活性化される。なお、この工程は図 14 (C) の結晶化工程で結晶質シリコン膜 1413 表面に形成された熱酸化膜を除去した後に行うことが好ましい。（図 14 (D)）

【0164】この後は、実施例 1 の工程に従って図 1 (F) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0165】【実施例 13】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 15 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0166】まず、実施例 1 の工程に従って、図 1 (C) の状態を得る（図 15 (A) ~ (C)）。ここで図 1 (E) と同一の条件でレーザーアニール工程（第 2 の光アニール）を行い、チャネルドープ工程で添加された p 型不純物元素を活性化しても構わない。

【0167】次に、結晶質シリコン膜をパターニングして活性層 1501 ~ 1504 を形成する。そして、その上に 80 ~ 150 nm（本実施例では 110 nm）のゲート絶縁膜 1505 を形成する。ゲート絶縁膜 1505 としては珪素を含む絶縁膜を用いることができるが、本実施例では窒化酸化シリコン膜を用いる。（図 15 (D)）

【0168】次に、レジストマスク 1506 ~ 1509 を形成する。そして、図 1 (D) と同様に n 型不純物元素を添加する。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図 1 (D) の場合と異なる加速電圧を設定する必要がある。こうして n 型不純物領域 (b) 1510 ~ 1512 が形成される。（図 15 (E)）

【0169】次に、レジストマスク 1506 ~ 1509 を除去し、レーザーアニール工程（第 2 の光アニール）を行う。これにより添加された n 型または p 型の不純物元素が効果的に活性化される。また同時に活性層とゲート絶縁膜の界面も改善される。なお、本実施例の場合、110 nm 厚のゲート絶縁膜を介してレーザー光を照射する必要があるため、それを踏まえてレーザーアニール条件を設定しなければならない。（図 15 (F)）

【0170】この後は、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0171】【実施例 14】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 16 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0172】まず、実施例 1 の工程に従って図 1 (B) の工程まで行い（図 16 (A)、(B)）、実施例 5 の工程に従って図 9 (A) の状態を得る（図 16 (C)）。なお、本実施例ではレーザーアニール工程（第 1 の光アニール）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。また、本実施例では活性層形成工程の後でチャネルドープ工程を行う例を示しているが、この順序を逆にすることも可能である。そして、実施例 6 の工程に従って、図 10 (A) の状態を得る（図 16 (D)）。

【0173】次に、図 16 (D) の状態からレジストマスク 1001 および保護膜 905 を除去し、実施例 13 で説明した図 15 (A) の工程と同様にゲート絶縁膜 1505 を形成する。この後は、実施例 13 に従って図 15 (D) ~ (F) の工程を行い、その後、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0174】【実施例 15】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 17 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0175】まず、実施例 1 の工程に従って図 1 (A) の工程まで行い（図 17 (A)）、実施例 7 の工程に従って図 11 (B) の工程までを行う（図 17 (B)、図 17 (C)）。次に、レーザーアニール工程（第 1 の光アニール）を終えた結晶質シリコン膜をパターニングして活性層 1701 ~ 1704 を形成する。（図 17 (D)）

【0176】なお、本実施例ではレーザーアニール工程（第 1 の光アニール）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0177】次に、実施例 13 で説明した図 15 (A) の工程と同様にゲート絶縁膜 1505 を形成する。この後は、実施例 13 に従って図 15 (D) ~ (F) の工程

を行い、その後、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0178】【実施例 16】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について説明する。なお、本実施例は基本的には実施例 15 と同じであるので、図 17 を参照して説明することとする。また、添加する不純物元素も実施例 15 と同様の不純物元素を例にとる。

【0179】本実施例では、実施例 15 で説明した図 17 (C) のレーザーアニール工程（第 1 の光アニール）を省略し、同工程を、n 型不純物領域 (b) を形成した後に行うレーザーアニール工程で兼ねる点に特徴がある。この場合、n 型不純物領域 (b) を形成した後に行うレーザーアニール工程の条件を第 1 の光アニールに変更する必要があるが、これにより工程数を削減することが可能となる。但し、本実施例の場合、110 nm 厚のゲート絶縁膜を介してレーザー光を照射する必要があるため、それを踏まえてレーザーアニール条件を設定しなければならない。

【0180】なお、n 型不純物領域 (b) を形成した後にレーザーアニール工程（第 1 の光アニール）を行ったら、その後は、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0181】【実施例 17】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 18 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0182】まず、実施例 11 の工程に従って図 13 (B) の状態を得る（図 18 (A)、(B)）。次に、レジストマスク 1303 を除去し、特開平 7-130652 号公報に記載された技術に従って、n 型または p 型不純物元素が添加された非晶質シリコン膜を結晶化し、結晶質シリコン膜 1801 を得る。（図 18 (C)）

【0183】なお、上記特開平 7-130652 号公報の実施例 2 に記載された技術を用いて結晶化を行う場合、保護膜 1302 をそのまま残しておくことが可能である。即ち、結晶化を促進する触媒元素を選択的に添加する際のマスク膜として活用することが可能である。

【0184】次に、図 1 (B) と同一の条件でレーザーアニール工程（第 1 の光アニール）を行う。この工程では、不純物元素の添加されていない結晶質シリコン膜は結晶性が改善され、不純物元素が添加された領域では非晶質化したシリコン膜が再結晶化されると共に、添加された n 型または p 型不純物元素が活性化される。なお、

この工程は図 18 (C) の結晶化工程で結晶質シリコン膜 1801 表面に形成された熱酸化膜を除去した後に行うことが好ましい。（図 18 (D)）

【0185】この後は、実施例 13 に従って図 15 (D) ~ (F) の工程を行い、その後、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

10 【0186】【実施例 18】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 19 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0187】まず、実施例 1 の工程に従って、図 1 (B) の状態を得る（図 19 (A)、(B)）。さらに、実施例 4 の工程に従って図 8 (A) の状態を得る（図 19 (C)）。ここで図 1 (E) と同一の条件でレーザーアニール工程（第 2 の光アニール）を行い、図 19 (C) の工程で添加された n 型不純物元素を活性化しても構わない。

【0188】次に、結晶質シリコン膜をパターニングして活性層 1901 ~ 1904 を形成する。そして、その上に 80 ~ 150 nm（本実施例では 110 nm）のゲート絶縁膜 1905 を形成する。ゲート絶縁膜 1905 としては珪素を含む絶縁膜を用いることができるが、本実施例では窒化酸化シリコン膜を用いる。（図 19 (D)）

30 【0189】次に、レジストマスク 1906 を形成する。そして、図 1 (C) と同様に p 型不純物元素を添加する。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図 1 (C) の場合と異なる加速電圧を設定する必要がある。こうして p 型不純物領域 (b) 1907 ~ 1909 が形成される。（図 19 (E)）

【0190】次に、レジストマスク 1906 を除去し、レーザーアニール工程（第 2 の光アニール）を行う。これにより添加された n 型または p 型の不純物元素が効果的に活性化される。また同時に活性層とゲート絶縁膜の界面も改善される。なお、本実施例の場合、110 nm 厚のゲート絶縁膜を介してレーザー光を照射する必要があるため、それを踏まえてレーザーアニール条件を設定しなければならない。（図 19 (F)）

【0191】この後は、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

50 【0192】【実施例 19】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 20 を用いて説明する。なお、実施例 1 とは途中の工程が

異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0193】まず、実施例 1 の工程に従って図 1 (B) の工程まで行い、次に、実施例 5 に従って図 9 (B) の状態を得る。なお、本実施例ではレーザーアニール工程 (第 1 の光アニール) の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。また、本実施例では活性層を形成した後に n 型不純物領域 (b) を形成しているが、この順序を逆にすることも可能である。

【0194】この後は、実施例 18 に従って図 19 (D) ~ (F) の工程を行い、その後、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0195】【実施例 20】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 21 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0196】まず、実施例 1 の工程に従って図 1 (A) の工程まで行い (図 21 (A))、次に、実施例 8 に従って図 12 (B) の状態を得る (図 21 (B)、(C))。なお、本実施例ではレーザーアニール工程 (第 1 の光アニール) の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0197】この後は、実施例 18 に従って図 19 (D) ~ (F) の工程を行い、その後、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0198】【実施例 21】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について説明する。なお、本実施例は基本的には実施例 20 と同じであるので、図 21 を参照して説明することとする。また、添加する不純物元素も実施例 20 と同様の不純物元素を例にとる。

【0199】本実施例では、実施例 20 で説明した図 21 (C) のレーザーアニール工程 (第 1 の光アニール) を省略し、同工程を、n 型不純物領域 (b) を形成した後に行うレーザーアニール工程で兼ねる点に特徴がある。この場合、n 型不純物領域 (b) を形成した後に行うレーザーアニール工程の条件を第 1 の光アニールに変更する必要があるが、これにより工程数を削減することが可能となる。但し、本実施例の場合、110 nm 厚の

ゲート絶縁膜を介してレーザー光を照射する必要があるため、それを踏まえてレーザーアニール条件を設定しなければならない。

【0200】なお、n 型不純物領域 (b) を形成した後にレーザーアニール工程 (第 1 の光アニール) を行ったら、その後は、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0201】【実施例 22】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 22 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0202】まず、実施例 11 の工程に従って図 13 (A) の工程まで行い (図 22 (A))、次に、実施例 12 に従って図 14 (A) の状態を得る (図 22 (B))。

【0203】次に、保護膜 1401 を除去した後、特開平 7-130652 号公報に記載された技術に従って、n 型不純物元素が添加された非晶質シリコン膜を結晶化し、結晶質シリコン膜 2201 を得る。(図 22 (C))

【0204】なお、上記特開平 7-130652 号公報の実施例 2 に記載された技術を用いて結晶化を行う場合、保護膜 1401 をそのまま残しておくことが可能である。即ち、結晶化を促進する触媒元素を選択的に添加する際のマスク膜として活用することが可能である。

【0205】次に、図 1 (B) と同一の条件でレーザーアニール工程 (第 1 の光アニール) を行う。この工程では、不純物元素が添加されない結晶質シリコン膜は結晶性が改善され、不純物元素が添加された領域では非晶質化したシリコン膜が再結晶化されると共に、添加された n 型不純物元素が活性化される。なお、この工程は図 22 (C) の結晶化工程で結晶質シリコン膜 2201 表面に形成された熱酸化膜を除去した後に行うことが好ましい。(図 22 (D))

【0206】この後は、実施例 18 に従って図 19 (D) ~ (F) の工程を行い、その後、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例ではレーザーアニール工程 (図 22 (D)) の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。また、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0207】【実施例 23】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 23 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程につい

ては同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【0208】まず、実施例 1 の工程に従って図 1 (B) の工程まで行い (図 23 (A)、(B))、次に、実施例 5 と同様に結晶質シリコン膜 103 をパターニングして活性層 901~904 を形成する。なお、本実施例ではレーザーアニール工程 (第 1 の光アニール) の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0209】そして、その上に 80~150 nm (本実施例では 110 nm) のゲート絶縁膜 2301 を形成する。ゲート絶縁膜 2301 としては珪素を含む絶縁膜を用いることができるが、本実施例では窒化酸化シリコン膜を用いる。(図 23 (C))

【0210】次に、レジストマスク 2302~2305 を形成する。そして、図 1 (D) と同様に n 型不純物元素を添加する。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図 1 (D) の場合と異なる加速電圧を設定する必要がある。こうして n 型不純物領域 (b) 2306~2308 が形成される。(図 23 (D))

【0211】次に、レジストマスク 2302~2305 を除去し、新たにレジストマスク 2309 を形成する。そして、図 1 (C) と同一の条件でチャネルドープ工程を行う。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図 1 (C) の場合と異なる加速電圧を設定する必要がある。こうして p 型不純物領域 (b) 2310~2312 が形成される。(図 23 (E))

【0212】なお、本実施例において、図 23 (D) の工程と図 23 (E) の工程の順序を逆にすることは可能である。

【0213】次に、レジストマスク 2309 を除去し、レーザーアニール工程 (第 2 の光アニール) を行う。これにより添加された n 型または p 型の不純物元素が効果的に活性化される。また同時に活性層とゲート絶縁膜の界面も改善される。なお、本実施例の場合、110 nm 厚のゲート絶縁膜を介してレーザー光を照射する必要があるため、それを踏まえてレーザーアニール条件を設定しなければならない。(図 23 (F))

【0214】この後は、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0215】【実施例 24】本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について説明する。なお、本実施例は基本的には実施例 23 と同じであるため、図 23 を参照して説明することとする。また、添加する不純物元素も実施例 23 と同様の不純物元素を例にとる。

【0216】本実施例では、実施例 23 で説明した図 50

23 (B) のレーザーアニール工程 (第 1 の光アニール) を省略し、同工程を、n 型不純物領域 (b) を形成した後に行うレーザーアニール工程 (図 23 (F)) で兼ねる点に特徴がある。この場合、n 型不純物領域 (b) を形成した後に行うレーザーアニール工程の条件を第 1 の光アニールに変更する必要があるが、これにより工程数を削減することが可能となる。但し、本実施例の場合、110 nm 厚のゲート絶縁膜を介してレーザー光を照射する必要があるため、それを踏まえてレーザーアニール条件を設定しなければならない。

【0217】なお、図 23 (F) のレーザーアニール工程 (第 1 の光アニール) を行ったら、その後は、実施例 1 の工程に従って図 2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例 2、3 のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0218】【実施例 25】本実施例では TFT の活性層 (能動層) となる半導体膜を形成する工程について図 24 を用いて説明する。なお、本実施例の結晶化手段は特開平 7-130652 号公報の実施例 1 に記載された技術である。

【0219】まず、基板 (本実施例ではガラス基板) 2401 上に 200 nm 厚の窒化酸化シリコン膜でなる下地膜 2402 と 200 nm 厚の非晶質半導体膜 (本実施例では非晶質シリコン膜) 2403 を形成する。この工程は下地膜と非晶質半導体膜を大気解放しないで連続的に形成しても構わない。

【0220】次に、重量換算で 10 ppm の触媒元素 (本実施例ではニッケル) を含む水溶液 (酢酸ニッケル水溶液) をスピコート法で塗布して、触媒元素含有層 2404 を非晶質半導体膜 2403 の全面に形成する。ここで使用可能な触媒元素は、ニッケル (Ni) 以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、といった元素がある。(図 24 (A))

【0221】また、本実施例ではスピコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜 (本実施例の場合はニッケル膜) を非晶質半導体膜上に形成する手段をとっても良い。

【0222】次に、結晶化の工程に先立って 400~500℃ で 1 時間程度の熱処理工程を行い、水素を膜から脱離させた後、500~650℃ (好ましくは 550~570℃) で 4~12 時間 (好ましくは 4~6 時間) の熱処理を行う。本実施例では、550℃ で 4 時間の熱処理を行い、結晶質半導体膜 (本実施例では結晶質シリコン膜) 2405 を形成する。(図 24 (B))

【0223】なお、ここで実施例 1 の図 1 (E) と同様のレーザーアニール工程 (第 1 の光アニール) を行っ

て、結晶質半導体膜2405の結晶性を改善しても良い。

【0224】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッターリング工程を行う。まず、結晶質半導体膜2405の表面にマスク絶縁膜2406を150nmの厚さに形成し、パターニングにより開口部2407を形成する。そして、露出した結晶質半導体膜に対して周期表の15族に属する元素（本実施例ではリン）を添加する工程を行う。この工程により $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³の濃度でリンを含むゲッターリング領域2408が形成される。（図24

(C)）

【0225】次に、窒素雰囲気中で450～650℃（好ましくは500～550℃）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッターリング作用によってゲッターリング領域2408に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されるため、結晶質半導体膜2409に含まれるニッケル濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下にまで低減することができる。（図24(D)）

【0226】以上のようにして形成された結晶質半導体膜2409は、結晶化を助長する触媒元素（ここではニッケル）を用いることによって、非常に結晶性の良い結晶質半導体膜で形成されている。また、結晶化のあとは触媒元素をリンのゲッターリング作用により除去しており、結晶質半導体膜2409中（但しゲッターリング領域以外）に残存する触媒元素の濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下である。

【0227】なお、本実施例の特徴は、触媒元素を用いて結晶化させた結晶質半導体膜を形成した後で、活性層として用いない領域にゲッターリング領域（高濃度に周期表の15族に属する不純物元素を含む領域）を形成し、熱処理によって結晶化に用いた触媒元素をゲッターリングする点にある。

【0228】本実施例の構成は、実施例1、4～24に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0229】【実施例26】本実施例ではTFTの活性層（能動層）となる半導体膜を形成する工程について図25を用いて説明する。具体的には特開平10-247735号公報（米国出願番号09/034,041号に対応）に記載された技術を用いる。

【0230】まず、基板（本実施例ではガラス基板）2501上に200nm厚の窒化酸化シリコン膜でなる下地膜2502と200nm厚の非晶質半導体膜（本実施例では非晶質シリコン膜）2503を形成する。この工

程は下地膜と非晶質半導体膜を大気解放しないで連続的に形成しても構わない。

【0231】次に、酸化シリコン膜でなるマスク絶縁膜2504を200nmの厚さに形成し、開口部2505を形成する。

【0232】次に、重量換算で100ppmの触媒元素（本実施例ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピンコート法で塗布して、触媒元素含有層2506を形成する。この時、触媒元素含有層2506は、開口部2505が形成された領域において、選択的に非晶質半導体膜2503に接触する。ここで使用可能な触媒元素は、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、といった元素がある。（図25(A)）

【0233】また、本実施例ではスピンコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施例の場合はニッケル膜）を非晶質半導体膜上に形成する手段をとっても良い。

【0234】次に、結晶化の工程に先立って400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～600℃）で6～16時間（好ましくは8～14時間）の熱処理を行う。本実施例では、570℃で14時間の熱処理を行う。その結果、開口部2505を起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質半導体膜（本実施例では結晶質シリコン膜）2507が形成される。（図25(B)）

【0235】ここで結晶化を終えた時点での半導体膜の様子を図42に示す。Windowと表記された部分が開口部2505に相当する。なお、図42の写真は重量換算で100ppmのニッケルを含む酢酸ニッケル水溶液をスピンコート法で塗布し、560℃18時間の加熱処理を行った実験結果である。

【0236】また、同様に実験的に重量換算で100ppmのニッケルを含む酢酸ニッケル水溶液をスピンコート法で塗布し、各温度で加熱処理した場合における結晶成長速度を図43に示す。図43では温度を横軸に、各温度における結晶成長の距離を時間で割った値を縦軸に示している。

【0237】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッターリング工程を行う。本実施例では、先ほど形成したマスク絶縁膜2504をそのままマスクとして周期表の15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部2505で露出した結晶質半導体膜に $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³の濃度でリンを含むゲッターリング領域250

8を形成する。(図25(C))

【0238】次に、窒素雰囲気中で450～650℃(好ましくは500～550℃)、4～24時間(好ましくは6～12時間)の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域2508に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されるため、結晶質半導体膜2509に含まれるニッケル濃度は、 1×10^{11} atoms/cm²以下、好ましくは 1×10^{11} atoms/cm²以下にまで低減することができ

【0239】以上のようにして形成された結晶質半導体膜2509は、結晶化を助長する触媒元素(ここではニッケル)を選択的に添加して結晶化することによって、非常に結晶性の良い結晶質半導体膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、結晶質半導体膜2509中に残存する触媒元素の濃度は、 1×10^{11} atoms/cm²以下、好ましくは 1×10^{11} atoms/cm²以下である。

【0240】なお、本実施例の特徴は、触媒元素を用いて結晶化させた結晶質半導体膜を形成した後で、活性層として用いない領域にゲッタリング領域(高濃度に周期表の15族に属する不純物元素を含む領域)を形成し、熱処理によって結晶化に用いた触媒元素をゲッタリングする点にある。

【0241】本実施例の構成は、実施例1、4～24に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0242】【実施例27】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図26を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0243】まず、実施例1の工程に従って図2(C)の状態を得る。次に、図2(D)と同様の条件でn型不純物元素(本実施例ではリン)の添加工程を行う。こうしてn型不純物領域(c)125～130が形成される。なお、既に形成されているn型不純物領域(b)にも同時にリンが添加されているが、本工程で添加されるリンの濃度はn型不純物領域(b)に含まれるリンに比べて十分に低い濃度なのでここでは図示しない。(図26(A))

【0244】次に、ゲート配線をマスクとして自己整合的にゲート絶縁膜をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF

、ガスを用いれば良い。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜131～134が形成される。(図26(B))

【0245】次に、レジストマスク2601を形成し、図3(A)と同様の条件でp型不純物元素(本実施例ではボロン)を添加する。この工程によりp型不純物領域(a)2602、2603が形成される。(図26(C))

【0246】次に、レジストマスク2604～2607を形成し、図2(F)と同様の条件でn型不純物元素(本実施例ではリン)を添加する。この工程によりn型不純物領域(a)2608～2614が形成される。なお、p型不純物領域(a)2602、2603の一部(2615、2616で示される領域)にも 1×10^{11} ～ 1×10^{11} atoms/cm²の濃度でリンが添加されるが、p型不純物領域(a)に含まれるボロンの濃度に比べて十分に低い濃度なのでここでは図示しない。(図26(D))

【0247】この後は、実施例1の工程に従って図3(B)以降の工程を行えば、図3(C)で説明した構造のアクティブマトリクス基板を作製することができる。なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例1とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図3(C)の構造の説明をそのまま参照することができる。

【0248】また、本実施例の構成は、実施例1、4～24に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0249】【実施例28】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図27を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0250】まず、実施例1の工程に従って図2(C)の状態を得る。次に、ゲート配線をマスクとして自己整合的にゲート絶縁膜をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF₃ガスを用いれば良い。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜2701～2704が形成される。なお、画素TFTはゲート配線と同様にゲート絶縁膜も同一パターンにエッチングされているので同一符号で表すことにする。(図27(A))

【0251】次に、レジストマスク2705を形成し、

図3 (A) と同様の条件でp型不純物元素（本実施例ではボロン）を添加する。この工程によりp型不純物領域 (a) 領域2706、2707が形成される。（図27 (B)）

【0252】次に、レジストマスク2708～2711を形成し、図2 (F) と同様の条件でn型不純物元素（本実施例ではリン）を添加する。この工程によりn型不純物領域 (a) 2712～2718が形成される。なお、p型不純物領域 (a) 2706、2707の一部（2719、2720で示される領域）にもリンが添加されるが、p型不純物領域 (a) に含まれるボロンの濃度に対して十分に低い濃度なのでここでは図示しない。（図27 (C)）

【0253】次に、レジストマスク2708～2711を除去し、珪素を含む絶縁膜となる保護膜2721を130nmの厚さに形成する。そして、図2 (D) と同様の条件でn型不純物元素（本実施例ではリン）の添加工程を行う。こうしてn型不純物領域 (c) 2722～2725が形成される。なお、既に形成されているn型不純物領域 (b)、n型不純物領域 (a) およびp型不純物領域 (a) にも同時にリンが添加されているが、ここで添加されるリンの濃度は他の不純物領域に含まれる不純物元素の濃度に対して十分に低い濃度なのでここでは図示しない。（図27 (D)）

【0254】この後は、実施例1の工程に従って図3 (B) 以降の工程を行えば、図3 (C) で説明した構造のアクティブマトリクス基板を作製することができる。なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例1とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図3 (C) の構造の説明をそのまま参照することができる。

【0255】また、本実施例の構成は、実施例1、4～24に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0256】【実施例29】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図28を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0257】まず、実施例1の工程に従って図2 (C) の状態を得る。次に、ゲート配線をマスクとして自己整合的にゲート絶縁膜をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF₃ガスを用いれば良い。但し、エッチングガスはこれ

に限定する必要はない。こうしてゲート配線下にゲート絶縁膜2801～2804が形成される。なお、画素TFTはゲート配線と同様にゲート絶縁膜も同一パターンにエッチングされているので同一符号で表すことにする。（図28 (A)）

【0258】次に、レジストマスク2805を形成し、図3 (A) と同様の条件でp型不純物元素（本実施例ではボロン）を添加する。この工程によりp型不純物領域 (a) 2806、2807が形成される。（図28 (B)）

【0259】次に、レジストマスク2805を除去し、珪素を含む絶縁膜となる保護膜2808を130nmの厚さに形成する。そして、図2 (D) と同様の条件でn型不純物元素（本実施例ではリン）の添加工程を行う。こうしてn型不純物領域 (c) 2809～2812が形成される。なお、既に形成されているn型不純物領域 (b) およびp型不純物領域 (a) にも同時にリンが添加されているが、ここで添加されるリンの濃度は他の不純物領域に含まれる不純物元素の濃度に対して十分に低い濃度なのでここでは図示しない。（図28 (C)）

【0260】次に、保護膜2808を除去した後にレジストマスク2813～2815を形成し、図2 (F) と同様の条件でn型不純物元素（本実施例ではリン）を添加する。この工程によりn型不純物領域 (a) 2816～2822が形成される。なお、p型不純物領域 (a) 2806、2807の一部（2823、2824で示される領域）にもリンが添加されるが、p型不純物領域 (a) に含まれるボロンの濃度に対して十分に低い濃度なのでここでは図示しない。（図28 (D)）

【0261】この後は、実施例1の工程に従って図3 (B) 以降の工程を行えば、図3 (C) で説明した構造のアクティブマトリクス基板を作製することができる。なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例1とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図3 (C) の構造の説明をそのまま参照することができる。

【0262】また、本実施例の構成は、実施例1、4～24に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0263】【実施例30】本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図29を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0264】まず、実施例1の工程に従って図2(C)の状態を得る。次に、ゲート配線をマスクとして自己整合的にゲート絶縁膜をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF₃ガスを用いれば良い。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜2901~2904が形成される。なお、画素TFTはゲート配線と同様にゲート絶縁膜も同一パターンにエッチングされているので同一符号で表すことにする。(図29(A))

【0265】次に、レジストマスク3005~3008を形成し、図2(F)と同様の条件でn型不純物元素(本実施例ではリン)を添加する。この工程によりn型不純物領域(a)2909~2917が形成される。(図29(B))

【0266】次に、レジストマスク2905~2908を除去し、新たにレジストマスク2918を形成する。そして、図3(A)と同様の条件でp型不純物元素(本実施例ではボロン)を添加する。この工程によりp型不純物領域(a)2919、2920が形成される。なお、ここで添加されるボロンの濃度は前述の図29

(B)の工程で添加されたリンの濃度よりも十分に高いため、n型不純物領域(a)2909、2910は完全にp型に反転する。(図29(C))

【0267】次に、レジストマスク2918を除去し、珪素を含む絶縁膜でなる保護膜2921を130nmの厚さに形成する。そして、図2(D)と同様の条件でn型不純物元素(本実施例ではリン)の添加工程を行う。こうしてn型不純物領域(c)2922~2925が形成される。なお、既に形成されているn型不純物領域(b)、n型不純物領域(a)およびp型不純物領域(a)にも同時にリンが添加されているが、ここで添加されるリンの濃度は他の不純物領域に含まれる不純物元素の濃度に比べて十分に低い濃度なのでここでは図示しない。(図29(D))

【0268】この後は、実施例1の工程に従って図3(B)以降の工程を行えば、図3(C)で説明した構造のアクティブマトリクス基板を作製することができる。なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例1とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図3(C)の構造の説明をそのまま参照することができる。

【0269】また、本実施例の構成は、実施例1、4~24に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0270】[実施例31] 本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図30を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0271】まず、実施例1の工程に従って図2(C)の状態を得る。次に、ゲート配線をマスクとして自己整合的にゲート絶縁膜をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF₃ガスを用いれば良い。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜3001~3004が形成される。なお、画素TFTはゲート配線と同様にゲート絶縁膜も同一パターンにエッチングされているので同一符号で表すことにする。(図30(A))

【0272】次に、レジストマスク3005~3008を形成し、図2(F)と同様の条件でn型不純物元素(本実施例ではリン)を添加する。この工程によりn型不純物領域(a)3009~3017が形成される。(図30(B))

【0273】次に、レジストマスク2905~2908を除去し、珪素を含む絶縁膜でなる保護膜3018を130nmの厚さに形成する。そして、図2(D)と同様の条件でn型不純物元素(本実施例ではリン)の添加工程を行う。こうしてn型不純物領域(c)3019~3022が形成される。なお、既に形成されているn型不純物領域(b)およびn型不純物領域(a)にも同時にリンが添加されているが、ここで添加されるリンの濃度は他の不純物領域に含まれる不純物元素の濃度に比べて十分に低い濃度なのでここでは図示しない。(図30(C))

【0274】次に、保護膜3018を除去した後にレジストマスク3023を形成し、図3(A)と同様の条件でp型不純物元素(本実施例ではボロン)を添加する。この工程によりp型不純物領域3024、3025が形成される。なお、ここで添加されるボロンの濃度は前述の図30(B)の工程で添加されたリンの濃度よりも十分に高いため、n型不純物領域(a)3009、3010は完全にp型に反転する。(図30(D))

【0275】この後は、実施例1の工程に従って図3(B)以降の工程を行えば、図3(C)で説明した構造のアクティブマトリクス基板を作製することができる。なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例1とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図3(C)の構造の説明をそのまま参照することができる。

10

20

30

40

50

【0276】また、本実施例の構成は、実施例1、4～24に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0277】〔実施例32〕実施例1、4～31に示した作製工程においては、nチャネル型TFTとなる領域のみにチャネルドープ工程を行ってしきい値電圧を制御する例を示しているが、nチャネル型TFTやpチャネル型TFTの区別なしに全面にチャネルドープ工程を行うことも可能である。その場合、作製工程のフォトリソ工程数が減るので工程のスループットおよび歩留まりの向上が図れる。

【0278】また、場合によっては全面にチャネルドープ工程を施して、nチャネル型TFTまたはpチャネル型TFTのどちらか一方に、全面に添加した不純物元素と逆の導電型を付与する不純物元素を添加する場合もありうる。

【0279】なお、本実施例の構成は、実施例1、4～31に示したいずれの構成とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0280】〔実施例33〕実施例1、4～32に示した作製工程例では、nチャネル型TFTのゲート配線を形成する前に、前もって後にLov領域として機能するn型不純物領域(b)を形成することが前提となっている。そして、p型不純物領域(a)、n型不純物領域(c)はともに自己整合的に形成されることが特徴となっている。

【0281】しかしながら、本発明の効果をを得るためには最終的な構造が図3(C)のような構造となっていれば良く、そこに至るプロセスに限定されるものではない。従って、場合によってはp型不純物領域(a)やn型不純物領域(c)を、レジストマスクを用いて形成することも可能である。その場合、本発明の作製工程例は実施例1、4～32に限らず、あらゆる組み合わせが可能である。

【0282】また、本実施例の構成を実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも言うまでもない。

【0283】〔実施例34〕本実施例では、本発明をシリコン基板上に作製した半導体装置に適用した場合について説明する。典型的には、画素電極として反射率の高い金属膜を用いた反射型液晶表示装置に適用できる。

【0284】本実施例は、実施例1、4においてシリコン基板(シリコンウェハ)に直接的にn型またはp型不純物元素を添加してLDD領域、ソース領域またはドレイン領域といった不純物領域を形成する。その際、n型不純物領域(b)を形成した後で、n型不純物領域

(b)をレーザー活性化する工程が含まれば良い。従って、n型不純物領域(b)以外の不純物領域の形成順序やゲート絶縁膜の形成順序は問わない。

【0285】そして、最終的に、同一基板上に画素部と駆動回路とを少なくとも含み、駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部がゲート配線と重なるように配置され、画素部を形成する画素TFTのLDD領域はゲート配線と重ならないように配置され、駆動回路を形成するnチャネル型TFTのLDD領域には、画素TFTのLDD領域よりも高い濃度でn型不純物元素が含まれる、という構成を有する構造となれば良い。

【0286】また、本実施例の構成を実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施できることは言うまでもない。

【0287】〔実施例35〕実施例1では、Lov領域やLoff領域をnチャネル型TFTのみに配置し、その位置を回路仕様に応じて使い分けることを前提に説明を行ったが、TFTサイズが小さくなる(チャネル長が短くなる)と、pチャネル型TFTに対しても同様のことが言えるようになる。

【0288】即ち、チャネル長が2μm以下となると短チャネル効果が顕在化するため、場合によってはpチャネル型TFTにもLov領域を配置する必要性が出てくる。このように、本発明においてpチャネル型TFTは実施例1、4～31に示した構造に限定されるものではなく、nチャネル型TFTと同一構造であっても構わない。

【0289】なお、本実施例を実施する場合は、実施例1、4～31のいずれかの構成においてn型不純物領域(b)の形成と同じように、p型不純物元素が $2 \times 10^{11} \sim 5 \times 10^{11}$ atoms/cm²で含まれる不純物領域を形成しておけば良い。また、本実施例の構成を実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することは有効である。

【0290】〔実施例36〕実施例1、4～31の実施例では、結晶構造を含む半導体膜の形成方法として、結晶化を助長する触媒元素を用いる例を示したが、本実施例では、そのような触媒元素を用いずに熱結晶化またはレーザー結晶化によって結晶構造を含む半導体膜を形成する場合を示す。

【0291】熱結晶化による場合、非晶質構造を含む半導体膜を形成した後、600～650℃の温度で15～24時間の熱処理工程を行えば良い。即ち、600℃を超える温度で熱処理を行うことにより自然核が発生し、結晶化が進行する。

【0292】また、レーザー結晶化による場合、非晶質構造を含む半導体膜を形成した後、実施例1に示した第1の光アニールでレーザーアニール工程を行えば良い。これにより短時間で結晶構造を含む半導体膜を形成する

ことができる。勿論、レーザアニールの代わりにランブアニールを行っても良い。

【0293】以上のように、本発明に用いる結晶構造を含む半導体膜は、公知のあらゆる手段を用いて形成することができる。なお、本実施例の構成を実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも可能である。

【0294】〔実施例37〕本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、途中の工程は実施例1と同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0295】本実施例では、実施例1の図2(D)の工程において、10~30nmの厚さの珪素を含む絶縁膜を形成した後、n型不純物元素を添加する。これにより多少n型不純物元素が回り込んだとしてもゲート配線の下にn型不純物領域(c)が形成されることを防ぐことができる。

【0296】即ち、ゲート配線の側壁に形成された珪素を含む絶縁膜が、膜厚分に相当するオフセットを形成するため、高い抵抗領域を形成できる。これによりオフ電流値を十分に低減させることが可能となる。

【0297】なお、本実施例は実施例1、4~36のいずれの実施例とも自由に組み合わせることが可能である。また、実施例2、3のアクティブマトリクス型液晶表示装置を作製する際に実施することも有効である。

【0298】〔実施例38〕図40は実施例6と実施例22とを組み合わせで作製されたnチャネル型TFT302のドレイン電流(ID)とゲート電圧(VG)との関係を表すグラフ(以下、ID-VG曲線という)及び電界効果移動度(μ_{fe})のグラフである。このとき、ソース電圧(VS)は0V、ドレイン電圧(VD)は1Vまたは14Vとした。なお、実測値はチャネル長(L)が7.6 μ m、チャネル幅(W)が8.0 μ m、ゲート絶縁膜の膜厚(Tox)が115nmであった。

【0299】図40において、太線はストレス試験前、点線はストレス試験後のID-VG曲線および電界効果移動度を示しているが、ストレス試験前後で曲線に殆ど変化はなく、ホットキャリア劣化が抑制されていることが判った。なお、ここで行ったストレス試験は、室温にてソース電圧0V、ドレイン電圧20V、ゲート電圧4Vをかけた状態で60秒保持する試験であり、ホットキャリア劣化を促進させる試験である。

【0300】また、図44は本実施例のプロセスにより作製されたTFTで形成されたシフトレジスタの発振周波数の特性を示す図である。横軸にはドレイン電圧(VDD)、縦軸には最大周波数をプロットしている。

【0301】〔実施例39〕実施例13に示した作製工程において、図15(F)の工程の有無によるTFTの電気特性の差異を図41(A)、(B)に示す。なお、

図41(A)にはモビリティ(電界効果移動度)(μ_{max})を、図41(B)にはシート抵抗(R_s)を示す。

【0302】図41(A)に示すように、n型不純物領域(b)に添加されたn型不純物元素の量(n⁻ドーズ)に拘わらずモビリティは第2の光アニールを行った方が大きい値が得られる。また、図41(B)に示すように、n⁻ドーズに拘わらずシート抵抗は第2の光アニールを行った方が小さい値が得られる。

【0303】〔実施例40〕本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0304】なお、本実施例の構成は、実施例1~37のいずれの構成とも自由に組み合わせることが可能である。

【0305】〔実施例41〕本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDLC(ポリマー分散型液晶)、FLC(強誘電性液晶)、AFLC(反強誘電性液晶)、またはFLCとAFLCの混合物が挙げられる。

【0306】例えば、「H.Furue et al.;Characteristics and Drivng Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability,SID,1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time,841,SID97DIGEST,1997」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0307】特に、しきい値なし(無しきい値)の反強誘電性液晶(Thresholdless Antiferroelectric LCE:TL-AFLCと略記する)を使うと、液晶の動作電圧を±2.5V程度に低減しうるため電源電圧として5~8V程度で済む場合がある。即ち、駆動回路と画素部を同じ電源電圧で動作させることが可能となり、液晶表示装置全体の低消費電力化を図ることができる。

【0308】また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるような結晶質TFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0309】なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電気器具の表示部として用いることが有効であることは言うまでもない。

【0310】また、本実施例の構成は、実施例1~37

のいずれの構成とも自由に組み合わせることが可能である。

【0311】〔実施例42〕本発明はアクティブマトリクス型EL（エレクトロルミネッセンス）ディスプレイ（アクティブマトリクス型EL表示装置ともいう）に適用することも可能である。その例を図31に示す。

【0312】図31は本実施例のアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向（ソース側）駆動回路82、Y方向（ゲート側）駆動回路83が設けられている。また、表示領域81の各画素は、スイッチング用TFT84、コンデンサ85、電流制御用TFT86、EL素子87を有し、スイッチング用TFT84にX方向信号線（ソース信号線）88a（または88b）、Y方向信号線（ゲート信号線）89a（または89b、89c）が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0313】なお、本実施例のアクティブマトリクス型ELディスプレイを作製するにあたって実施例1、4～37のいずれの構成を組み合わせても良い。

【0314】〔実施例43〕本実施例では、本発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図32（A）は本発明のEL表示装置の上面図であり、図32（B）はその断面図である。

【0315】図32（A）において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

【0316】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0317】また、図32（B）は図32（A）をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれる電流制御用TFT（EL素子への電流を制御するTFT）4202が形成されている。

【0318】本実施例では、駆動TFT4201には図3（C）のpチャネル型TFT301とnチャネル型TFT302と同じ構造のTFTが用いられ、電流制御用TFT4202には図3（C）のpチャネル型TFT301と同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量（図示せず）が設けられる。

【0319】駆動TFT4201及び画素TFT420

2の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上に画素TFT4202のドレインと電氣的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

【0320】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL（エレクトロルミネッセンス）層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0321】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0322】EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0323】そして陰極4305は4306で示される領域において配線4005に電氣的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電氣的に接続される。

【0324】以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0325】カバー材4102としては、ガラス板、金属板（代表的にはステンレス板）、セラミックス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフ

ィルムで挟んだ構造のシートを用いることもできる。

【0326】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0327】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくとEL素子の劣化を抑制できる。

【0328】また、充填材4103の中にスペーサを含ませてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0329】また、配線4005は異方導電性フィルム4307を介してFPC4006に電氣的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電氣的に接続される。

【0330】また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図32（B）の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1、4～38のいずれの構成を組み合わせて作製しても構わない。

【0331】ここで画素部のさらに詳細な断面構造を図33に、上面構造を図34（A）に、回路図を図34（B）に示す。図33、図34（A）及び図34（B）では共通の符号を用いるので互いに参照すれば良い。

【0332】図33において、基板4401上に設けられたスイッチング用TFT4402は図3（C）のnチャンネル型TFT304を用いて形成される。従って、構造の説明はnチャンネル型TFT304の説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電氣的に接続するゲート配線である。

【0333】なお、本実施例ではチャンネル形成領域が二つ形成されるダブルゲート構造としているが、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0334】また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート

ト電極4407に電氣的に接続されている。なお、電流制御用TFT4406は図3（C）のpチャンネル型TFT301を用いて形成される。従って、構造の説明はpチャンネル型TFT301の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0335】スイッチング用TFT4402及び電流制御用TFT4406の上には第1パッシベーション膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いので、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0336】また、4410は透明導電膜からなる画素電極（EL素子の陽極）であり、電流制御用TFT4406のドレイン配線4411に電氣的に接続される。画素電極4410としては酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いることができる。

【0337】画素電極4410の上にはEL層4412が形成される。なお、図33では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq₃）膜を設けた積層構造としている。Alq₃に蛍光色素を添加することで発光色を制御することができる。

【0338】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0339】次に、EL層4412の上には遮光性の導電膜からなる陰極4413が設けられる。本実施例の場合、遮光性の導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導

電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0340】この陰極4413まで形成された時点でEL素子4414が完成する。なお、ここでいうEL素子4414は、画素電極（陽極）4410、EL層4412及び陰極4413で形成されたコンデンサを指す。

【0341】次に、本実施例における画素の上面構造を図34（A）を用いて説明する。スイッチング用TFT4402のソースはソース配線4415に接続され、ドレインはドレイン配線4405に接続される。また、ドレイン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続される。また、電流制御用TFT4406のソースは電流供給線4416に電気的に接続され、ドレインはドレイン配線4417に電気的に接続される。また、ドレイン配線4417は点線で示される画素電極（陽極）4418に電気的に接続される。

【0342】このとき、4419で示される領域には保持容量が形成される。保持容量4419は、電流供給線4416と電気的に接続された半導体膜4420、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極4407との間で形成される。また、ゲート電極4407、第1層間絶縁膜と同一の層（図示せず）及び電流供給線4416で形成される容量も保持容量として用いることが可能である。

【0343】なお、本実施例のEL表示装置を作製するにあたって、実施例1、4～37の構成と自由に組み合わせて実施することが可能である。

【0344】〔実施例44〕本実施例では、実施例43とは異なる画素構造を有したEL表示装置について説明する。説明には図35を用いる。なお、図33と同一の符号が付してある部分については実施例43の説明を参照すれば良い。

【0345】図35では電流制御用TFT4501として図3（C）のnチャネル型TFT302と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極4502はスイッチング用TFT4402のドレイン配線4405に接続されている。また、電流制御用TFT4501のドレイン配線4503は画素電極4504に電気的に接続されている。

【0346】本実施例では、画素電極4504がEL素子の陰極として機能し、遮光性の導電膜を用いて形成する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0347】画素電極4504の上にはEL層4505が形成される。なお、図35では一画素しか図示していないが、本実施例ではG（緑）に対応したEL層を蒸着法及び塗布法（好ましくはスピンコーティング法）によ

り形成している。具体的には、電子注入層として20nm厚のフッ化リチウム（LiF）膜を設け、その上に発光層として70nm厚のPPV（ポリパラフェニレンビニレン）膜を設けた積層構造としている。

【0348】次に、EL層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

10 【0349】この陽極4506まで形成された時点でEL素子4507が完成する。なお、ここでいうEL素子4507は、画素電極（陰極）4504、EL層4505及び陽極4506で形成されたコンデンサを指す。

【0350】このとき、電流制御用TFT4501が本発明の構造であることは非常に重要な意味を持つ。電流制御用TFT4501はEL素子4507を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFT4501のドレイン側に、ゲート絶縁膜4508を介してゲート電極4502に重なるようにLDD領域4509を設ける本発明の構造は極めて有効である。

【0351】また、本実施例の電流制御用TFT4501はゲート電極4502とLDD領域4509との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図34（A）、（B）に示した保持容量4418と同等の機能を持たせることも可能である。特に、EL表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【0352】なお、本実施例のEL表示装置を作製するにあたって、実施例1、4～37の構成と自由に組み合わせて実施することが可能である。

【0353】〔実施例45〕本実施例では、実施例43もしくは実施例44に示したEL表示装置の画素部に用いることができる画素構造の例を図36（A）～（C）に示す。なお、本実施例において、4601はスイッチング用TFT4602のソース配線、4603はスイッチング用TFT4602のゲート配線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電流供給線、4607はEL素子とする。

【0354】図36（A）は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの画素が電流供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精度化することができる。

【0355】また、図36（B）は、電流供給線4608をゲート配線4603と平行に設けた場合の例であ

る。なお、図 36 (B) では電流供給線 4608 とゲート配線 4603 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4608 とゲート配線 4603 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0356】また、図 36 (C) は、図 36 (B) の構造と同様に電流供給線 4608 をゲート配線 4603 と平行に設け、さらに、二つの画素を電流供給線 4608 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 4608 をゲート配線 4603 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0357】〔実施例 46〕本発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図 37～39 に示す。

【0358】図 37 (A) は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示部 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本発明の電気光学装置は表示部 2004 に、本発明の半導体回路は音声出力部 2002、音声入力部 2003 または CPU やメモリ等に用いることができる。

【0359】図 37 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明の電気光学装置は表示部 2102 に、本発明の半導体回路は音声入力部 2103 または CPU やメモリ等に用いることができる。

【0360】図 37 (C) はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 で構成される。本発明の電気光学装置は表示部 2205 に、本発明の半導体回路は CPU やメモリ等に用いることができる。

【0361】図 37 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 で構成される。本発明の電気光学装置は表示部 2302 に、本発明の半導体回路は CPU やメモリ等に用いることができる。

【0362】図 37 (E) はリアプロジェクター（プロジェクション TV）であり、本体 2401、光源 2402、液晶表示装置 2403、偏光ビームスプリッタ 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は液晶表示装置 2403 に用いることができ、本発明の半導体回路は CPU やメモリ等に用いることができる。

【0363】図 37 (F) はフロントプロジェクターであり、本体 2501、光源 2502、液晶表示装置 2503、光学系 2504、スクリーン 2505 で構成される。本発明は液晶表示装置 2503 に用いることができ、本発明の半導体回路は CPU やメモリ等に用いることができる。

【0364】図 38 (A) はパーソナルコンピュータであり、本体 2601、映像入力部 2602、表示部 2603、キーボード 2604 等を含む。本発明の電気光学装置は表示部 2603 に、本発明の半導体回路は CPU やメモリ等に用いることができる。

【0365】図 38 (B) は電子遊技機器（ゲーム機器）であり、本体 2701、記録媒体 2702、表示部 2703 及びコントローラ 2704 を含む。この電子遊技機器から出力された音声や映像は筐体 2705 及び表示部 2706 を含む表示ディスプレイにて再生される。コントローラ 2704 と本体 2701 との間の通信手段または電子遊技機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部 2707、2708 で検知する構成となっている。本発明の電気光学装置は表示部 2703、2706 に、本発明の半導体回路は CPU やメモリ等に用いることができる。

【0366】図 38 (C) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤー（画像再生装置）であり、本体 2801、表示部 2802、スピーカ部 2803、記録媒体 2804 及び操作スイッチ 2805 を含む。なお、この画像再生装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明の電気光学装置は表示部 2802 や CPU やメモリ等に用いることができる。

【0367】図 38 (D) はデジタルカメラであり、本体 2901、表示部 2902、接眼部 2903、操作スイッチ 2904、受像部（図示せず）を含む。本発明の電気光学装置は表示部 2902 や CPU やメモリ等に用いることができる。

【0368】なお、図 37 (E) のリアプロジェクターや図 37 (F) のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図 39 に示す。なお、図 39 (A) は光学エンジンであり、図 39 (B) は光学エンジンに内蔵される光源光学系であ

る。

【0369】図39(A)に示す光学エンジンは、光源光学系3001、ミラー3002、3005~3007、ダイクロイックミラー3003、3004、光学レンズ3008a~3008c、プリズム3011、液晶表示装置3010、投射光学系3012を含む。投射光学系3012は、投射レンズを備えた光学系である。本実施例は液晶表示装置3010を三つ使用する三板式の例を示したが、単板式であってもよい。また、図39

(A)中において矢印で示した光路には、光学レンズ、
偏光機能を有するフィルム、位相差を調節するためのフ
ィルムもしくはIRフィルム等を設けてもよい。

【0370】また、図39(B)に示すように、光源光学系3001は、光源3013、3014、合成プリズム3015、コリメータレンズ3016、3020、レンズアレイ3017、3018、偏光変換素子3019を含む。なお、図39(B)に示した光源光学系は光源を2つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、
偏光機能を有するフィルム、位相差を調節するフィルム
もしくはIRフィルム等を設けてもよい。

【0371】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1~45のどのような組み合わせからなる構成を用いても実現することができる。

【0372】

【発明の効果】本発明を用いることで、同一基板上に回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の動作性能や信頼性を大幅に向上させることができた。

【0373】また、アクティブマトリクス型液晶表示装置もしくはアクティブマトリクス型EL表示装置に代表される電子装置の画素部において、小さい面積で大きなキャパシティを有する保持容量を形成することができる。そのため、画素部が対角1インチ以下の電子装置においても開口率を低下させることなく、十分な保持容量を確保することが可能となった。

【0374】また、そのような電子装置を表示部として有する電気器具の動作性能と信頼性も向上させることができた。

【図面の簡単な説明】

- 【図1】 画素部と駆動回路の作製工程を示す図。
- 【図2】 画素部と駆動回路の作製工程を示す図。
- 【図3】 画素部と駆動回路の作製工程を示す図。
- 【図4】 アクティブマトリクス型液晶表示装置の断面構造図。
- 【図5】 nチャネル型TFTのLDD構造を示す図。
- 【図6】 アクティブマトリクス型液晶表示装置の斜視図。

【図7】 アクティブマトリクス型液晶表示装置の回路ブロック図。

- 【図8】 画素部と駆動回路の作製工程を示す図。
- 【図9】 画素部と駆動回路の作製工程を示す図。
- 【図10】 画素部と駆動回路の作製工程を示す図。
- 【図11】 画素部と駆動回路の作製工程を示す図。
- 【図12】 画素部と駆動回路の作製工程を示す図。
- 【図13】 画素部と駆動回路の作製工程を示す図。
- 【図14】 画素部と駆動回路の作製工程を示す図。
- 【図15】 画素部と駆動回路の作製工程を示す図。
- 【図16】 画素部と駆動回路の作製工程を示す図。
- 【図17】 画素部と駆動回路の作製工程を示す図。
- 【図18】 画素部と駆動回路の作製工程を示す図。
- 【図19】 画素部と駆動回路の作製工程を示す図。
- 【図20】 画素部と駆動回路の作製工程を示す図。
- 【図21】 画素部と駆動回路の作製工程を示す図。
- 【図22】 画素部と駆動回路の作製工程を示す図。
- 【図23】 画素部と駆動回路の作製工程を示す図。
- 【図24】 結晶質半導体膜の作製工程を示す図。
- 【図25】 結晶質半導体膜の作製工程を示す図。
- 【図26】 画素部と駆動回路の作製工程を示す図。
- 【図27】 画素部と駆動回路の作製工程を示す図。
- 【図28】 画素部と駆動回路の作製工程を示す図。
- 【図29】 画素部と駆動回路の作製工程を示す図。
- 【図30】 画素部と駆動回路の作製工程を示す図。
- 【図31】 アクティブマトリクス型EL表示装置の構成を示す図。

【図32】 EL表示装置の上面構造及び断面構造を示す図。

- 【図33】 EL表示装置の断面構造を示す図。
- 【図34】 EL表示装置の画素部の上面構造を示す図。
- 【図35】 EL表示装置の断面構造を示す図。
- 【図36】 EL表示装置の画素部の回路構成を示す図。

- 【図37】 電気器具の一例を示す図。
- 【図38】 電気器具の一例を示す図。
- 【図39】 光学エンジンの構成を示す図。
- 【図40】 TFTのId-Vg曲線を示す図。
- 【図41】 TFTのモビリティとシート抵抗を示す図。

【図42】 結晶化後の結晶質シリコン膜の状態を示す写真。

- 【図43】 結晶成長速度と温度の関係を示す図。
- 【図44】 シフトレジスタの周波数特性を示す図。

【符号の説明】

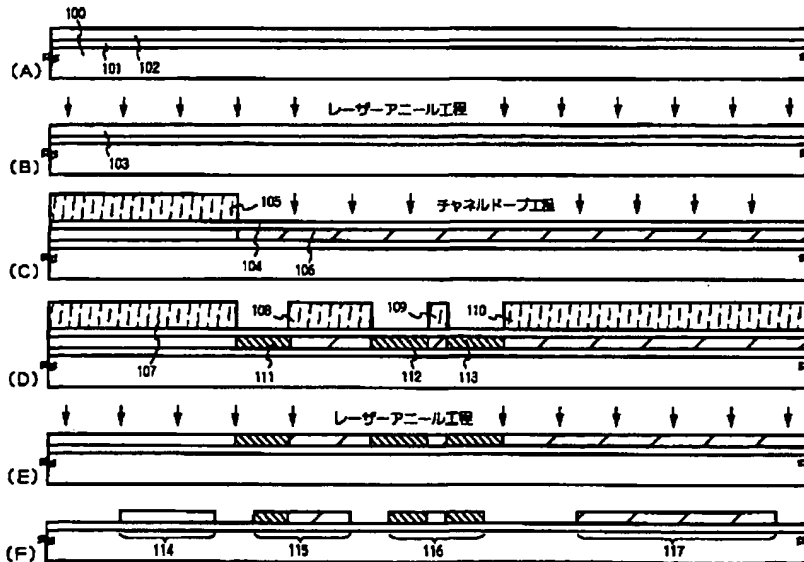
- 100 基板
- 101 下地膜
- 102 結晶質半導体膜
- 103 結晶質半導体膜

- 104 保護膜
- 105, 107~110 レジストマスク
- 106 p型不純物領域 (b)
- 111~113 n型不純物領域 (b)
- 114~117 活性層
- 118 ゲート絶縁膜
- 119 第1導電膜
- 120 第2導電膜
- 121~124 ゲート配線
- 125~130 n型不純物領域 (c)
- 131~134 ゲート絶縁膜
- 139~147 n型不純物領域 (a)
- 149, 150 p型不純物領域 (a)
- 151 第1層間絶縁膜
- 152~156 チャンネル形成領域

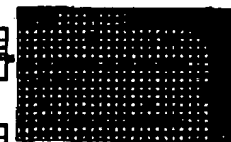
- 158~161 ソース配線
- 162~165 ドレイン配線
- 166 パッシベーション膜
- 167 第3層間絶縁膜
- 168 遮蔽膜
- 169 酸化物
- 170~172 画素電極
- 173 保持容量
- 201, 204, 208, 213, 214 チャンネル
- 10 形成領域
- 202, 205, 209, 215 ソース領域
- 203, 206, 210, 216 ドレイン領域
- 207, 211a, 212a Lov領域
- 211b, 212b, 217~220 Loff領域
- 221 n型不純物領域 (a)

【図1】

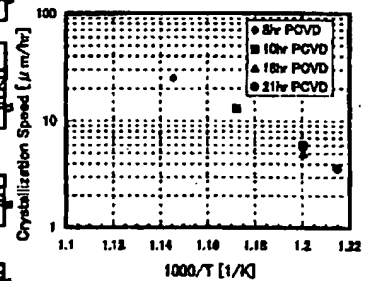
【図42】



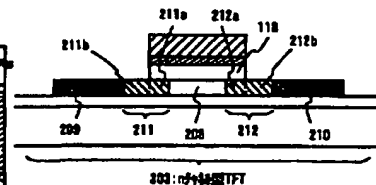
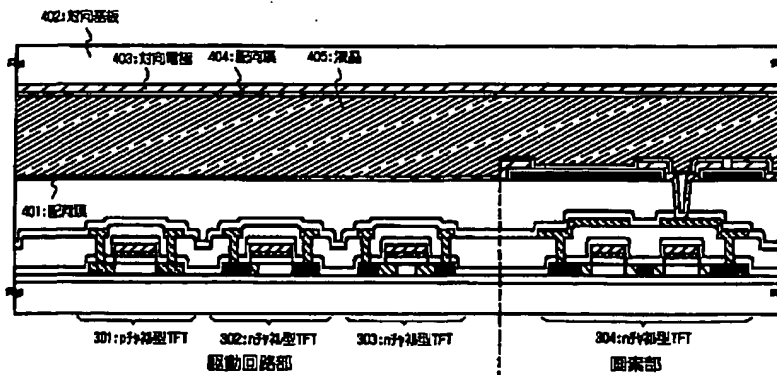
【図4】



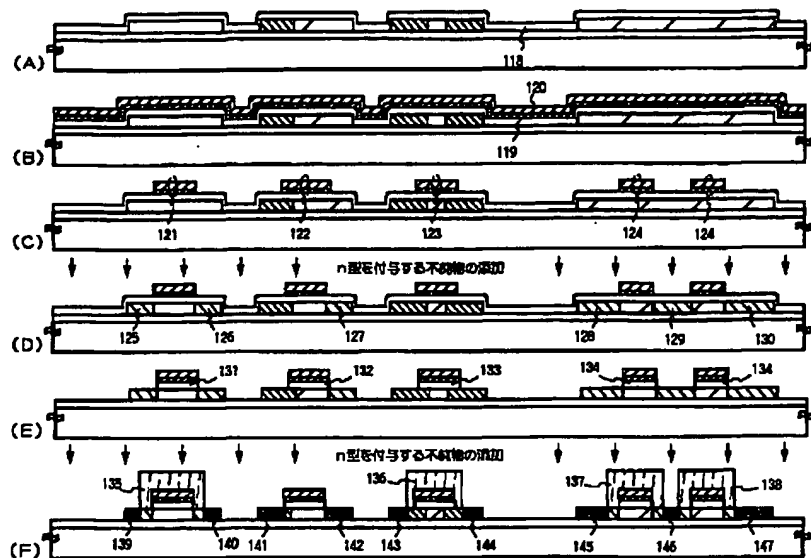
【図43】



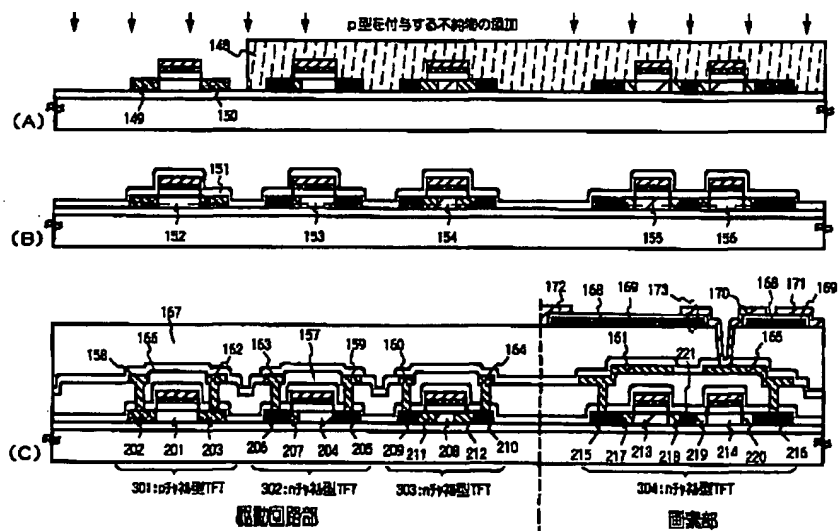
【図5】



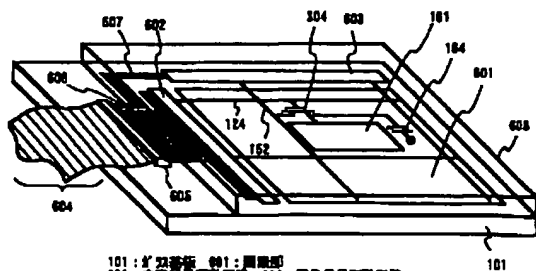
【図 2】



【图 3】

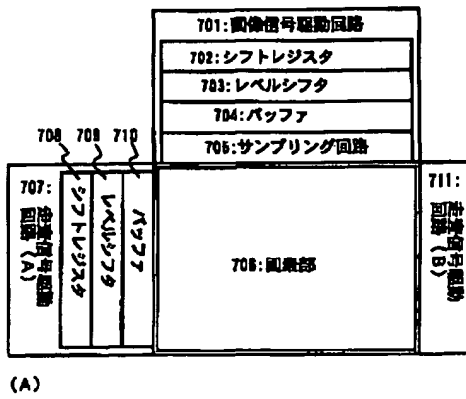


【圖 6】

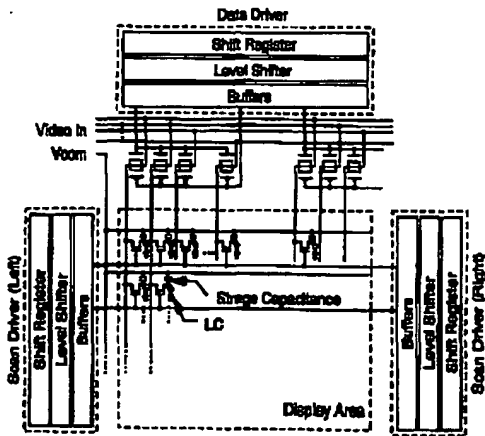


101: 2-2 基板 601: 圖庫部
602: 金管係引線部 603: 金管係引線部
604: FPC 408: 端子 606, 607: 接觸部
608: 圖庫TFT 124: 2-1 基板 152: 2-2 基板
181: 圖庫電阻 184: 保持電阻 608: 對向基板

【図7】

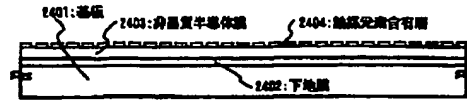


(A)

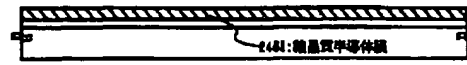


(B)

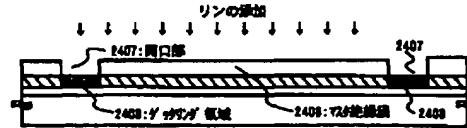
【図24】



(A) 下地膜、非晶質半導体膜の形成



(B) 結晶化工程

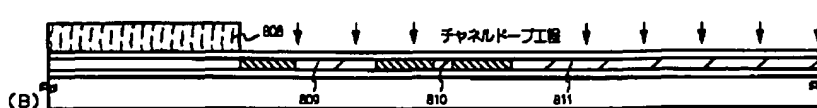
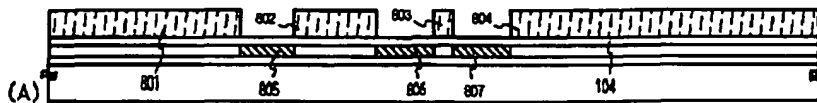


(C) ガラス工程

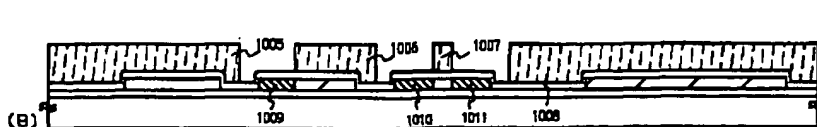
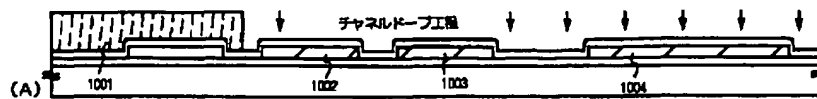


(D) ガラス工程

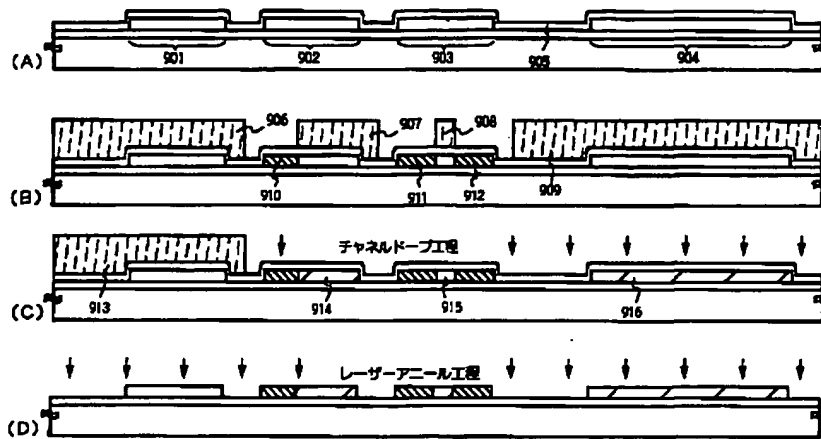
【図8】



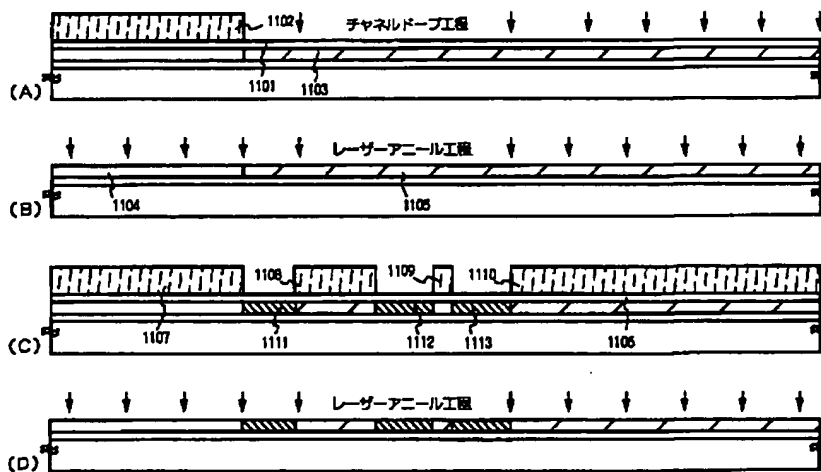
【図10】



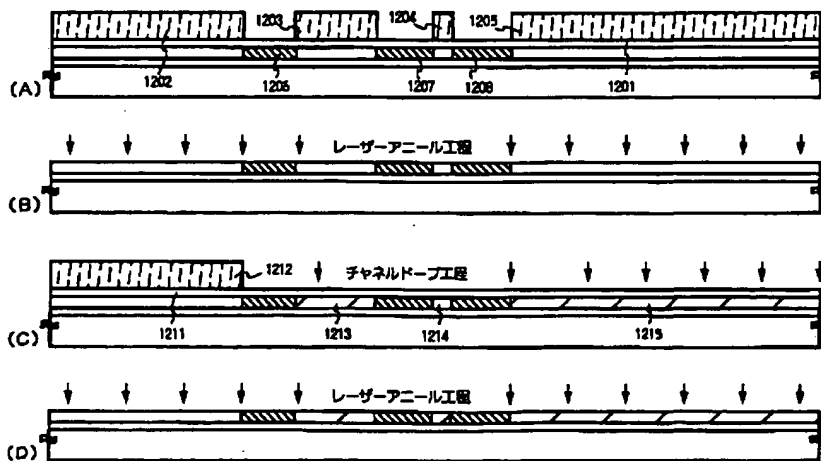
【図9】



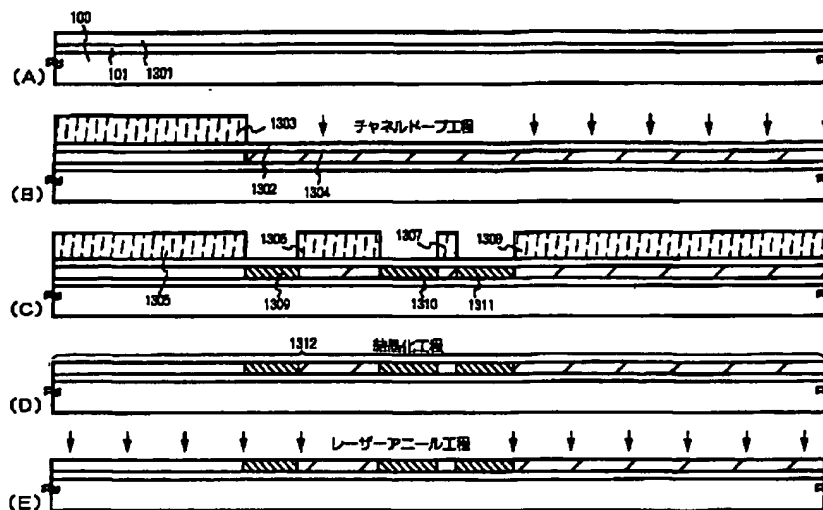
【図11】



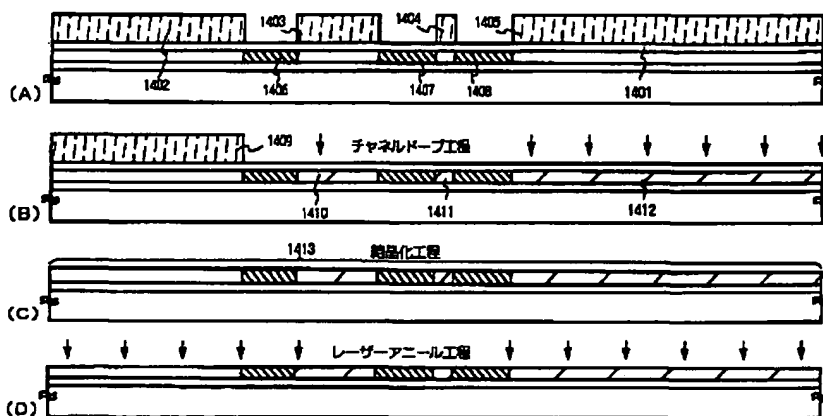
【図12】



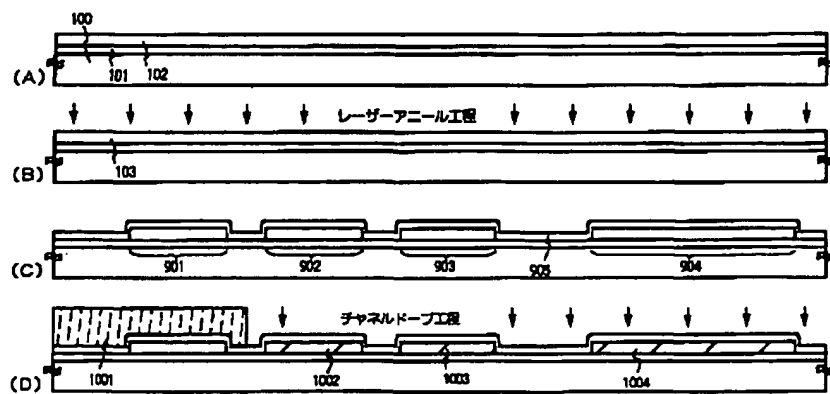
【図13】



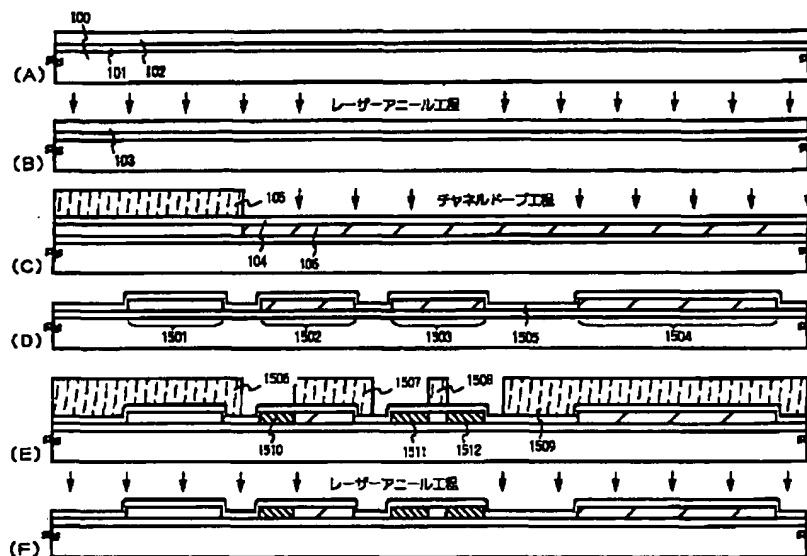
【図14】



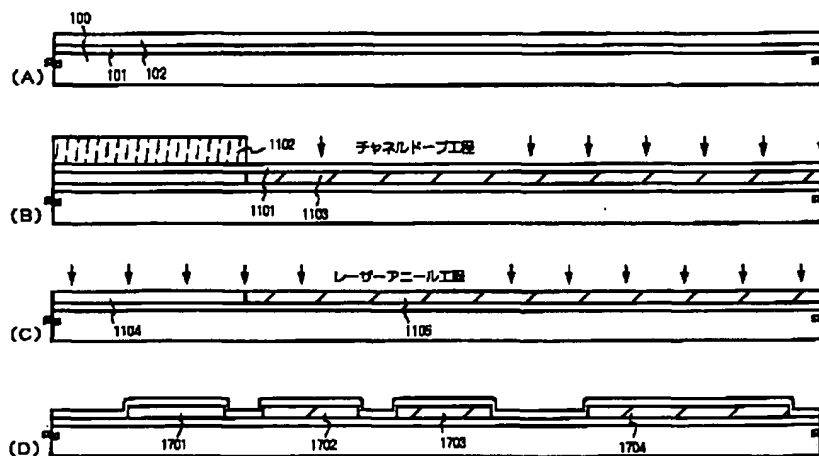
【図16】



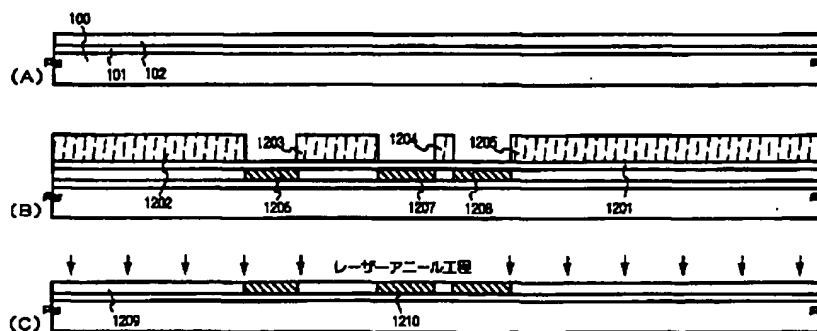
【図 15】



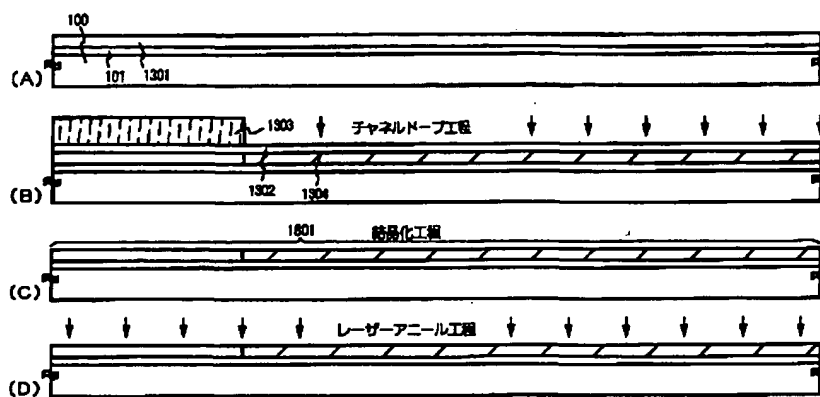
【図 17】



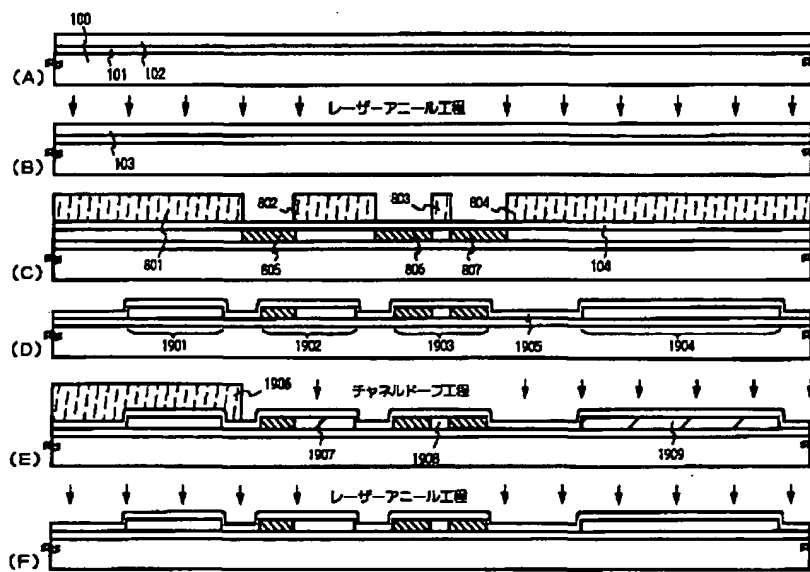
【図 21】



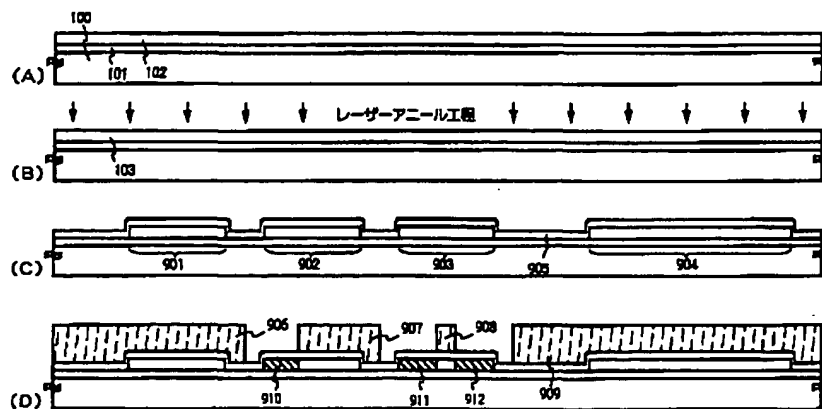
【図 18】



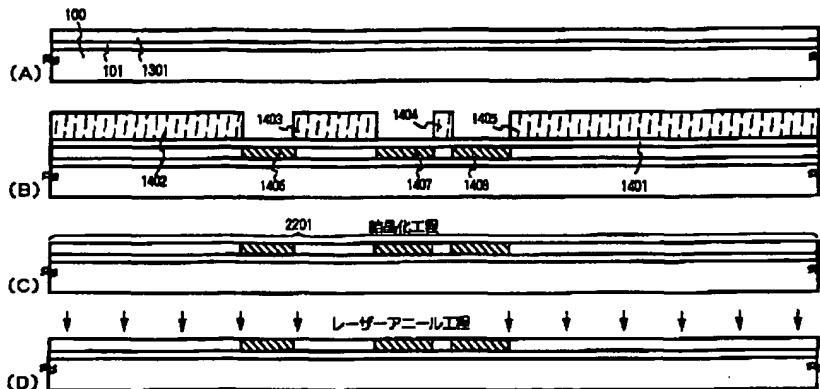
【図 19】



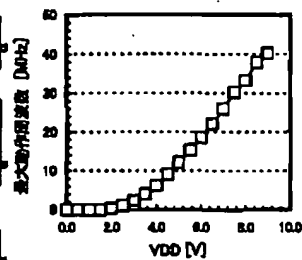
【図 20】



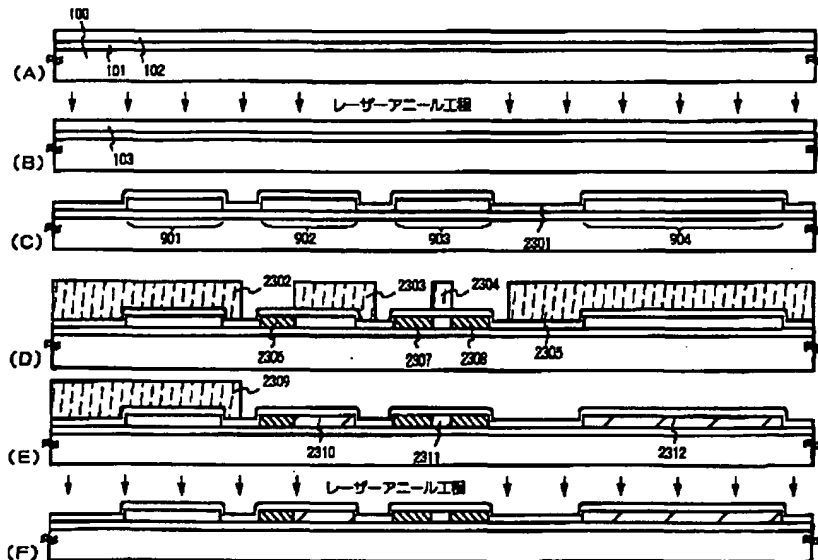
【図22】



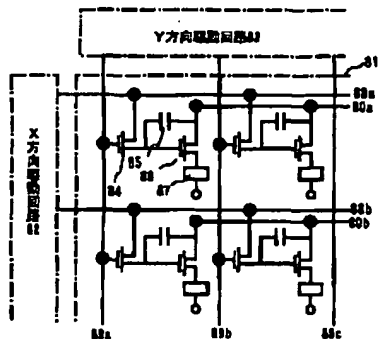
【図44】



【図23】

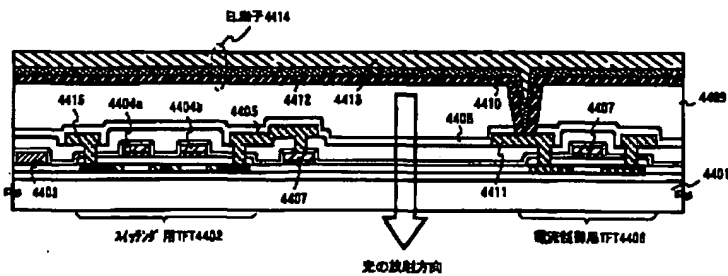


【図31】

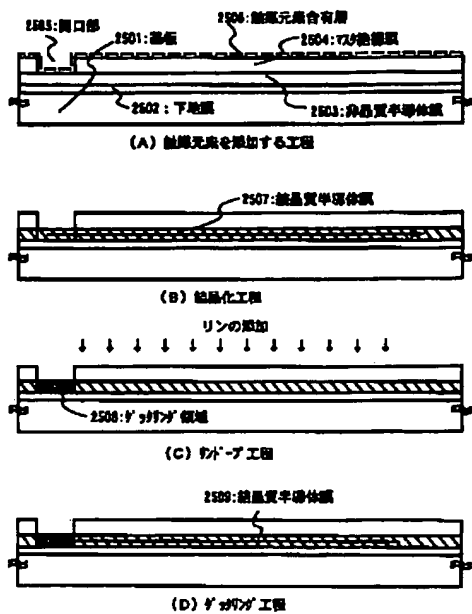


81: 図解図 82: X方向 (X-Y) 駆動回路 83: Y方向 (Y-X) 駆動回路
84: X方向用TFT 85: X方向用TFT 86: Y方向用TFT 87: 有源EL素子
88a, 88b: X方向信号線 88c~89c: Y方向信号線 90a, 90b: 電源線

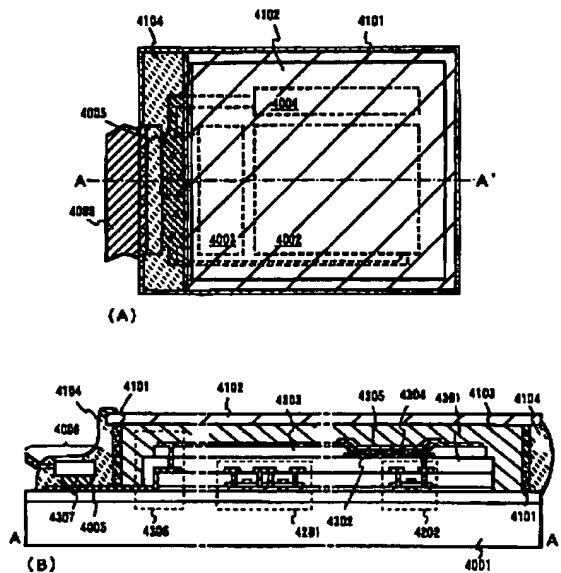
【図33】



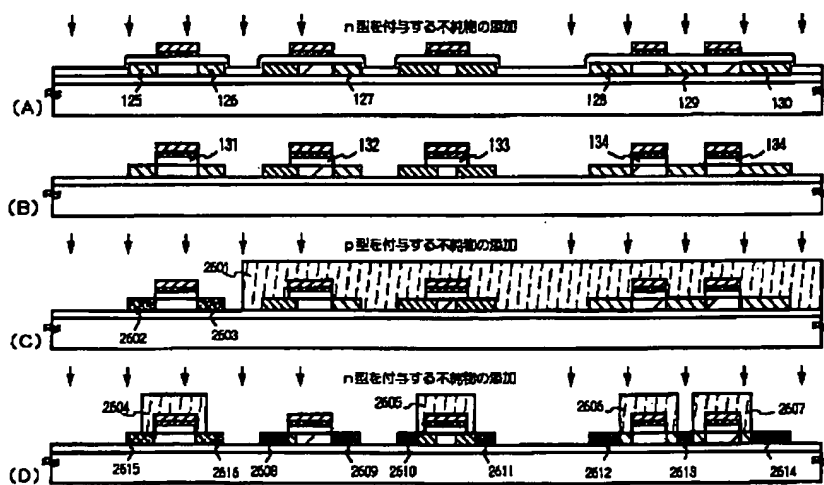
【图 25】



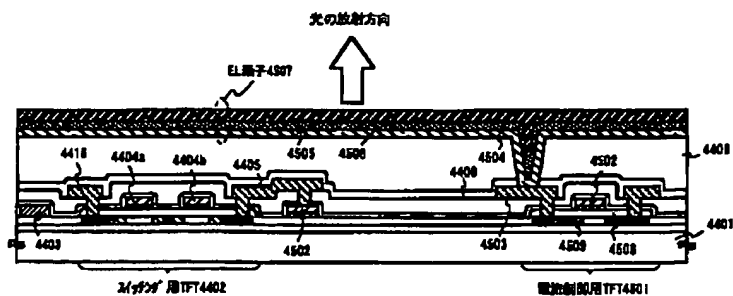
【图 3 2】



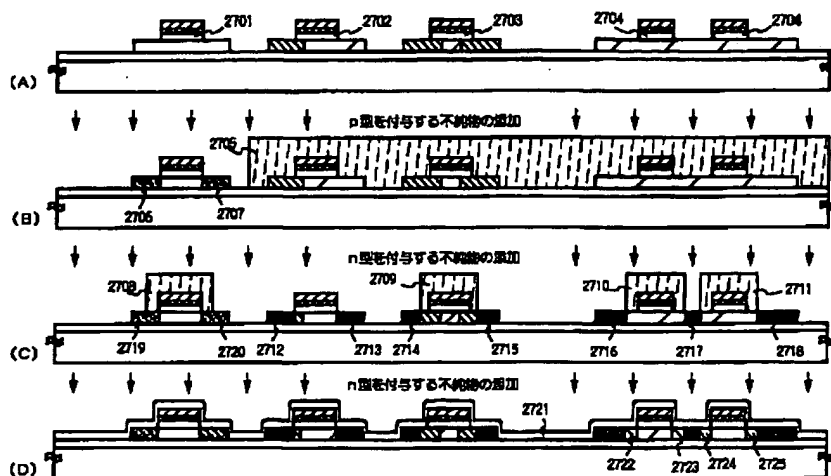
【图 26】



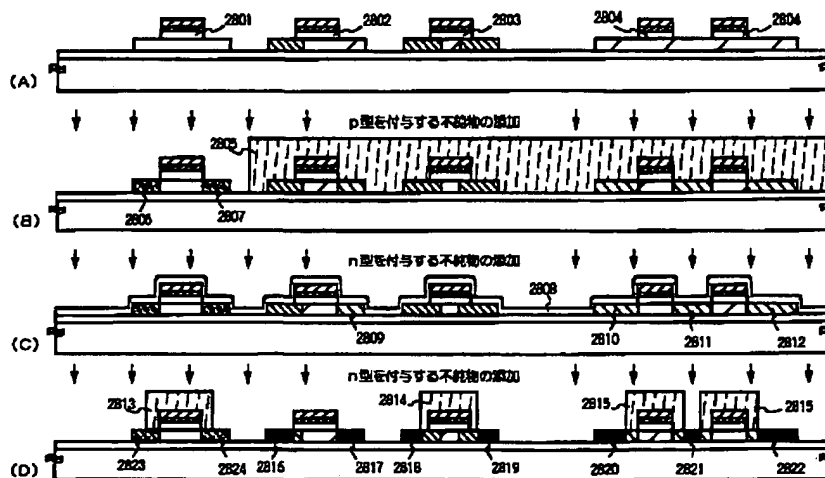
【図 3 5】



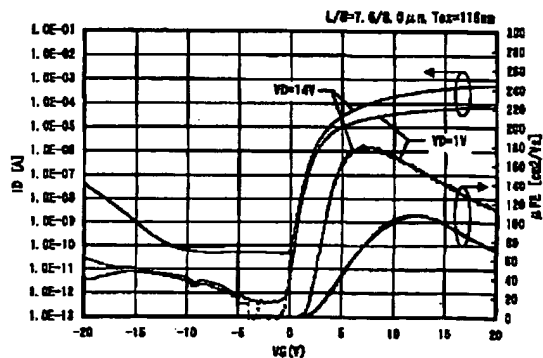
【図 27】



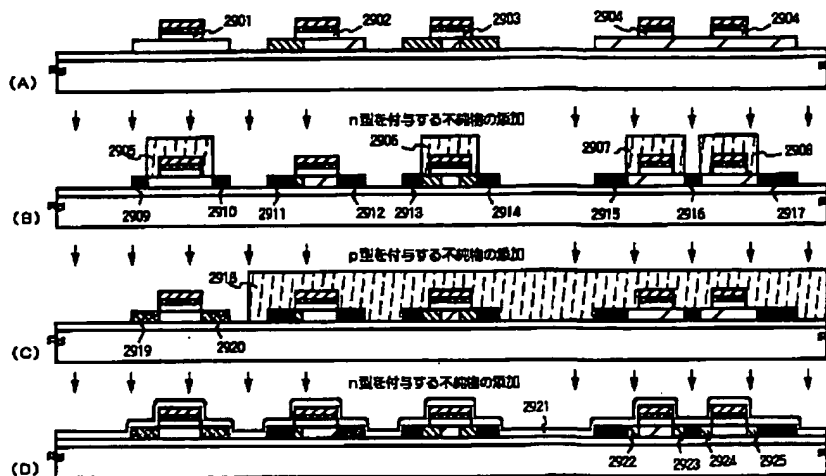
【図 28】



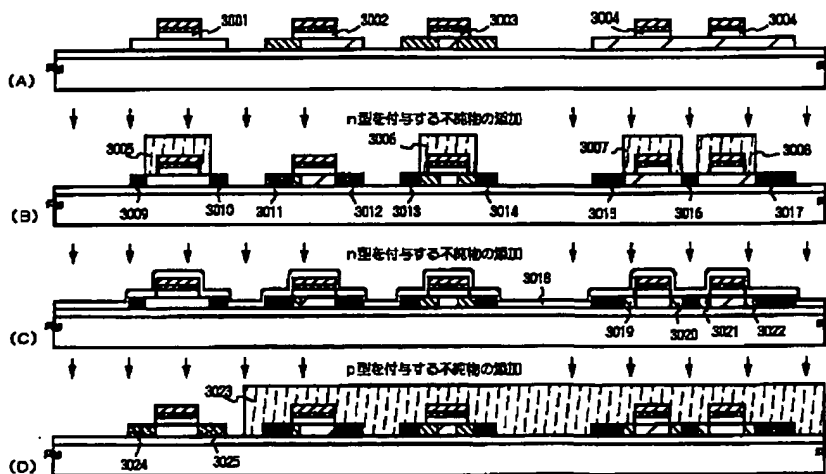
【図 40】



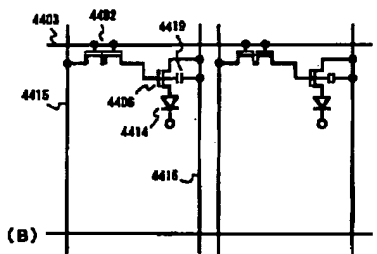
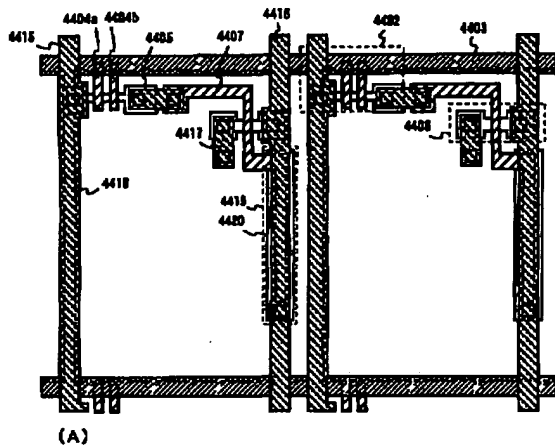
【図 29】



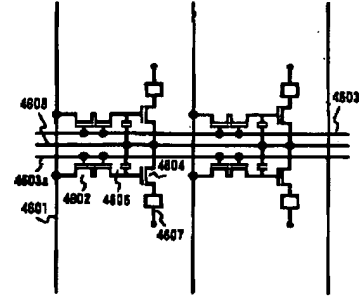
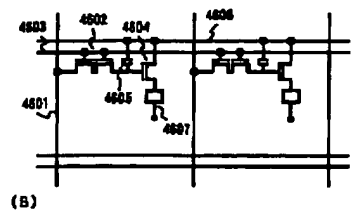
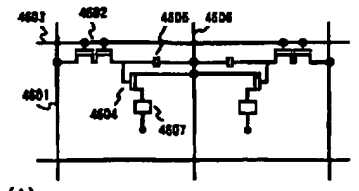
【図 30】



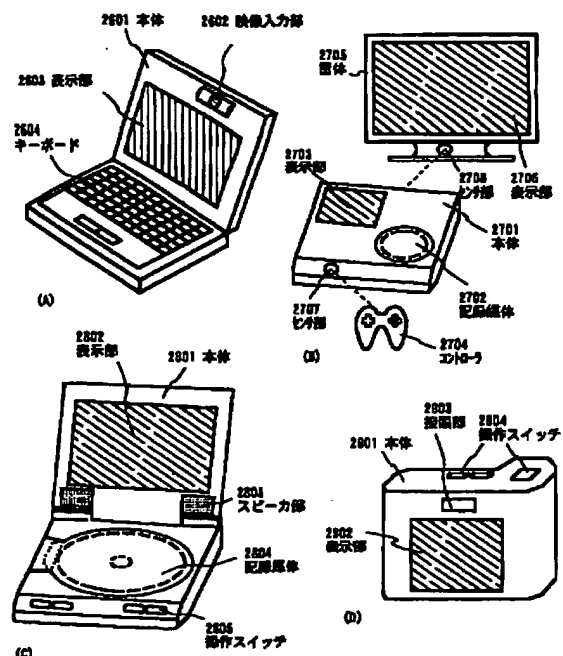
【図34】



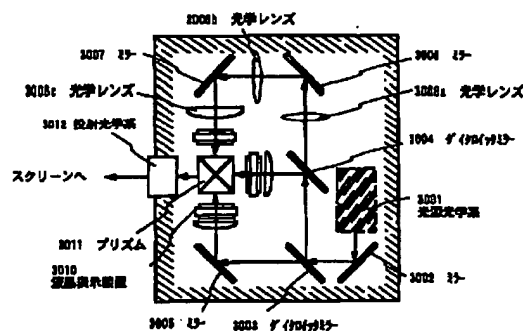
【図36】



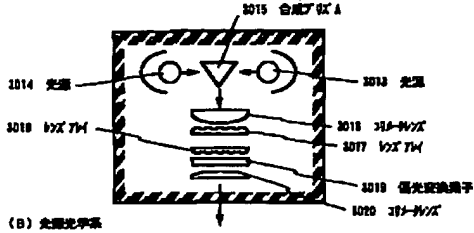
【図38】



【図39】

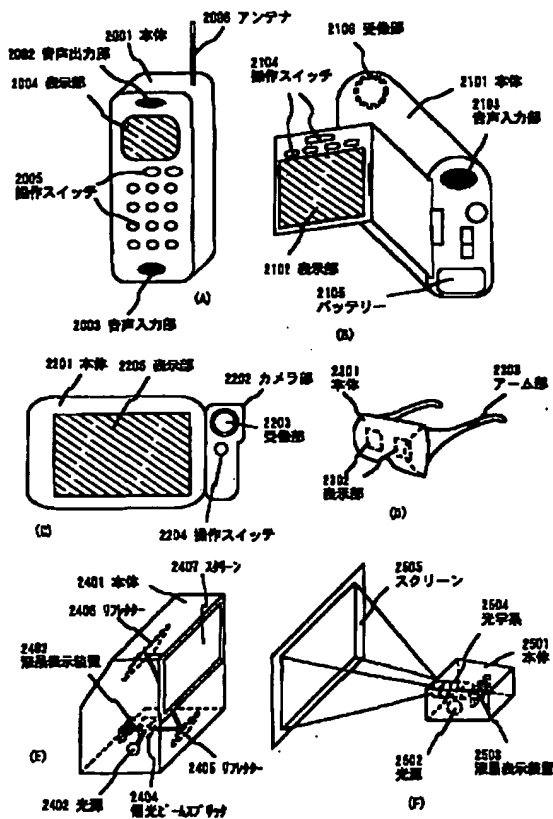


(A) 光学エンジン (三鏡式)

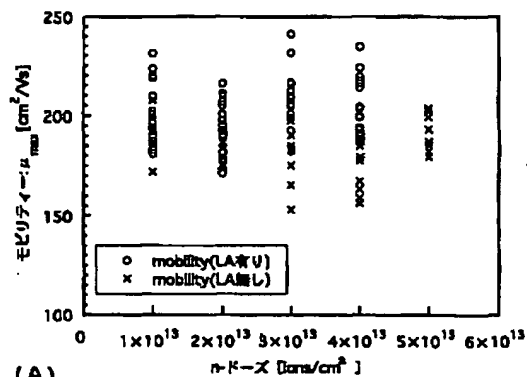


(B) 光学光学系

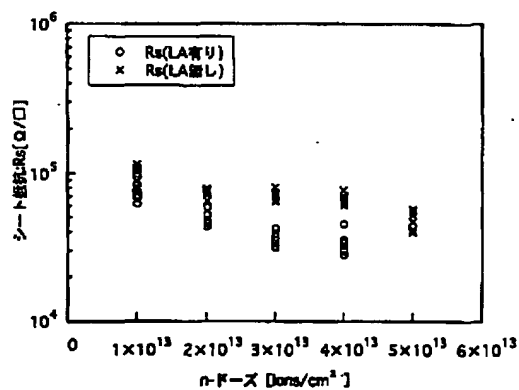
【図37】



【図41】



(A)



(B)

フロントページの続き

(51) Int. Cl. 7

H04N 5/66

識別記号

102

FI

H01L 29/78

ターマコード (参考)

616A